

Τμήμα
Μηχανικών
Πληροφορικής τ.ε.

Τεχνολογικό Εκπαιδευτικό Ίδρυμα
Δυτικής Ελλάδας

2015



ΨΗΦΙΑΚΗ ΣΧΕΔΙΑΣΗ

ΒΙΒΛΙΟ ΕΡΓΑΣΤΗΡΙΟΥ

Α. ΦΟΥΡΝΑΡΗΣ, Π. ΚΙΤΣΟΣ, Ν. ΣΚΛΑΒΟΣ Σ. ΛΟΥΒΡΟΣ,

ΨΗΦΙΑΚΗ ΣΧΕΔΙΑΣΗ

ΒΙΒΛΙΟ ΕΡΓΑΣΤΗΡΙΟΥ

Α. ΦΟΥΡΝΑΡΗΣ, Π. ΚΙΤΣΟΣ, Ν. ΣΚΛΑΒΟΣ Σ. ΛΟΥΒΡΟΣ,

ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ Τ.Ε.
ΤΕΧΝΟΛΟΓΙΚΟ ΕΚΠΑΙΔΕΥΤΙΚΟ ΙΔΡΥΜΑ ΔΥΤΙΚΗΣ
ΕΛΛΑΔΟΣ

ΑΝΤΙΡΡΙΟΝ 2014

ΠΕΡΙΕΧΟΜΕΝΑ

Εισαγωγή στην Ψηφιακή Σχεδίαση.....	4
Εισαγωγή Χρήσης του Εργαστηρίου.....	5
Εργαστηριακή Άσκηση 1: «ΕΙΣΑΓΩΓΗ ΣΤΙΣ ΒΑΣΙΚΕΣ ΠΥΛΕΣ».....	10
Εργαστηριακή Άσκηση 2: «Ιδιότητες βασικών πυλών AND-OR, Θεώρημα De Morgan».....	17
Εργαστηριακή Άσκηση 3: «Βασικές Πύλες NAND, NOR – Ιδιότητες Βασικών Πυλών».....	22
Εργαστηριακή Άσκηση 4: «Σχεδιασμός Ψηφιακών Κυκλωμάτων με την χρήση πυλών NAND και NOR».....	25
Εργαστηριακή Άσκηση 5: «Συναρτήσεις της Άλγεβρας Boole –Ανάλυση και Σχεδιασμός Κυκλωμάτων».....	28
Εργαστηριακή Άσκηση 6: «Αριθμητικές Πράξεις–Κύκλωμα Ημι-Αθροιστή Πλήρους Αθροιστή».....	35
Εργαστηριακή Άσκηση 7 «Απλά Ψηφιακά Κυκλώματα Αθροιστών».....	40
Εργαστηριακή Άσκηση 8: «Αριθμητικές Πράξεις – Κυκλώματα Αφαιρέτη».....	42
Εργαστηριακή Άσκηση 9: «Αριθμητικές Πράξεις – Κυκλώματα Πολλαπλασιαστή».....	45
Εργαστηριακή Άσκηση 10: «Σύνθετα Συνδυαστικά Κυκλώματα –Κυκλώματα Κωδικοποιητή».....	49
Εργαστηριακή Άσκηση 11: «ΣΤΟΙΧΕΙΑ ΜΝΗΜΗΣ FLIP FLOP».....	54
Εργαστηριακή Άσκηση 12: «ΣΤΟΙΧΕΙΑ ΜΝΗΜΗΣ- ΚΑΤΑΧΩΡΗΤΕΣ>.....	60
Εργαστηριακή Άσκηση 13: «ΚΑΤΑΧΩΡΗΤΕΣ ΟΛΙΣΘΗΣΗΣ»	65
Εργαστηριακή Άσκηση 14: «Κυκλώματα Απαριθμητών»	70
Βιβλιογραφία.....	73

Εισαγωγή στην Ψηφιακή Σχεδίαση

Οι θεματικές ενότητες που συμπεριλαμβάνονται στην διδασκαλία του εργαστηριακού μαθήματος είναι οι ακόλουθες:

Εισαγωγή στην Άλγεβρα *Boole*

Λογικές Συναρτήσεις

Απλοποίηση Λογικών Συναρτήσεων

Συνδυαστικά Κυκλώματα, Βασικά Ολοκληρωμένα Ψηφιακά Κυκλώματα

Αριθμητικές πράξεις με Συνδυαστικά Κυκλώματα ψηφιακής σχεδίασης

Σύγχρονα Ολοκληρωμένα Κυκλώματα–Μέθοδοι Ανάλυσης και Σχεδίασης

Καταχωρητές, Μετρητές, Μονάδες, Μνήμη

Θέματα Χρονισμού

Η διεξαγωγή του εργαστηρίου αποσκοπεί στην πρακτική εφαρμογή και εξάσκηση της διδασκόμενης θεωρητικής διδασκαλίας, μέσω των εκτελούμενων εργαστηριακών ασκήσεων. Οι εργαστηριακές Ασκήσεις πραγματοποιούνται με την χρήση ολοκληρωμένων κυκλωμάτων από γνωστές τεχνολογίες όπως η TTL και υλοποίηση των ασκήσεων πάνω σε breadboard.

Εισαγωγή Χρήσης του Εργαστηρίου

ΕΞΟΙΚΟΙΩΣΗ ΜΕ ΤΑ ΟΡΓΑΝΑ

Στα πλαίσια του εργαστηρίου πρόκειται να χρησιμοποιηθούν μια σειρά από όργανα μέτρησης.

Πηγή συνεχούς τάσης

Πηγή Τάσης Συνεχούς Ρεύματος



Η πηγή συνεχούς τάσης τροφοδοτεί με συνεχές ρεύμα ένα κύκλωμα. Για να γίνει αυτό πρέπει να συνδέσουμε δύο καλώδια σε κατάλληλες υποδοχές τα οποία έχουν διαφορετικά χρώματα (ΚΟΚΚΙΝΟ και ΜΑΥΡΟ) για λόγους ευχρηστίας. Το ένα καλώδιο (συνήθως το ΚΟΚΚΙΝΟ) συνδέεται σε έξοδο της πηγής τάσης με υψηλό δυναμικό (το συμβολίζουμε με +) και το άλλο καλώδιο

(συνήθως το ΜΑΥΡΟ) σε έξοδο της πηγής τάσης με χαμηλό δυναμικό (το συμβολίζουμε με -) ή με το μηδέν.

Η τάση συνεχούς ρεύματος που τροφοδοτείται σε ένα κύκλωμα προκύπτει από την διαφορά δυναμικού μεταξύ του θετικού πόλου (+) της πηγής και του αρνητικού πόλου της πηγής (-). Για παράδειγμα, αν τοποθετηθεί ο θετικός πόλος της πηγής στα +5V και ο αρνητικός πόλος της πηγής στα 0V τότε έχουμε μια πηγή τάσης 5Volt, ενώ αν τοποθετηθεί ο θετικός πόλος της πηγής στα +5V και ο αρνητικός πόλος της πηγής στα -5V τότε έχουμε πηγή τάσης 10V. Ο αρνητικός πόλος της πηγής χρησιμοποιείται επίσης σαν τάση αναφοράς (μια κατά συνθήκη γείωση).



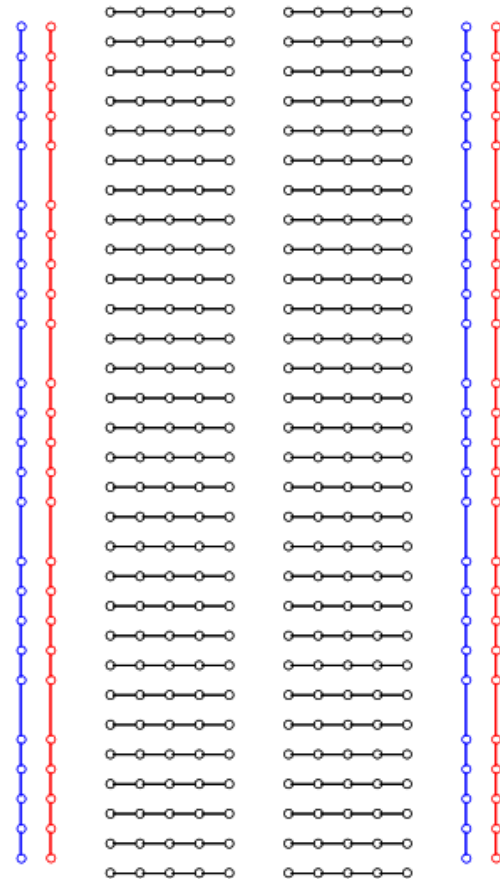
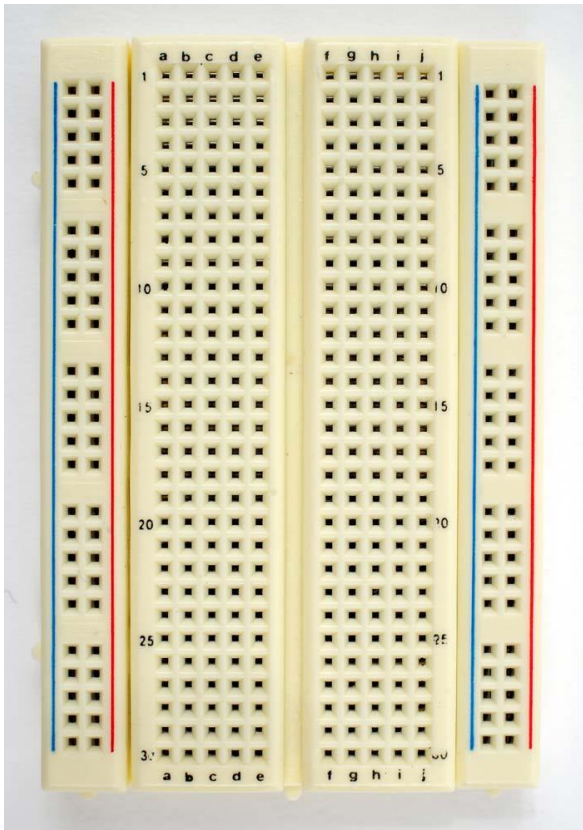
Η πηγή τάσης παρέχει στο ψηφιακό κύκλωμα την τροφοδοσία (V_{CC}) ώστε αυτό να μπορεί να λειτουργεί σωστά. Έχει δύο πόλους, ένα θετικό (+) που επιλέγουμε να είναι στα 5 Volt και έναν αρνητικό (-) που επιλέγεται να είναι στα 0 Volts. για να τροφοδοτηθούν τα διάφορα ολοκληρωμένα κυκλώματα.

Πηγή τάσης χρησιμοποιείται για:

- A) Την παροχή τροφοδοσίας και γείωσης σε κάθε ολοκληρωμένο.
- B) Για την δημιουργία του Λογικού 1 (Η είσοδος του κυκλώματος συνδέεται με τον θετικό πόλο της πηγής τάσης).
- Γ) Για την δημιουργία του Λογικού 0 (Η είσοδος του κυκλώματος συνδέεται με τον αρνητικό πόλο της πηγής τάσης).

BreadBoard

Αποτελεί την βάση πάνω στην οποία θα δομηθεί το ψηφιακό κύκλωμα. Έχει σειρά από οπές που μπορούν να εφαρμοστούν ακίδες ολοκληρωμένων κυκλωμάτων αλλά και καλώδια διασύνδεσης ακίδων. Οι οπές του breadboard είναι ανα ομάδες βραχυκυκλωμένες εσωτερικά όπως φαίνεται στο παρακάτω σχήμα.



Συνήθως στις οπές με την γαλάζια γραμμή τοποθετούμε καλώδιο από τον αρνητικό πόλο της πηγής τάσης ενώ στις οπές με την κόκκινη γραμμή τοποθετούμε καλώδιο από τον θετικό πόλο της πηγής τάσης. Στην συνέχεια, οποιοδήποτε σημείο είναι επιθυμητή τάσης 5 Volts αρκεί να συνδεθεί ένα καλώδιο από μια οπή της κόκκινης γραμμής με το σημείο ενδιαφέροντος. Ομοίως πράττουμε για αρνητική τάση και οπές της γαλάζιας γραμμής.

Πολύμετρο

Το πολύμετρο αποτελεί ένα όργανο μετρήσης των παρακάτω μεγεθών.

Τάση συνεχούς ρεύματος σε Volts (V)

Τάση εναλλασσόμενου ρεύματος σε Volts (V)

Ένταση συνεχούς Ρεύματος σε Ampere (A)

Ένταση εναλλασσόμενου Ρεύματος σε Ampere (A)

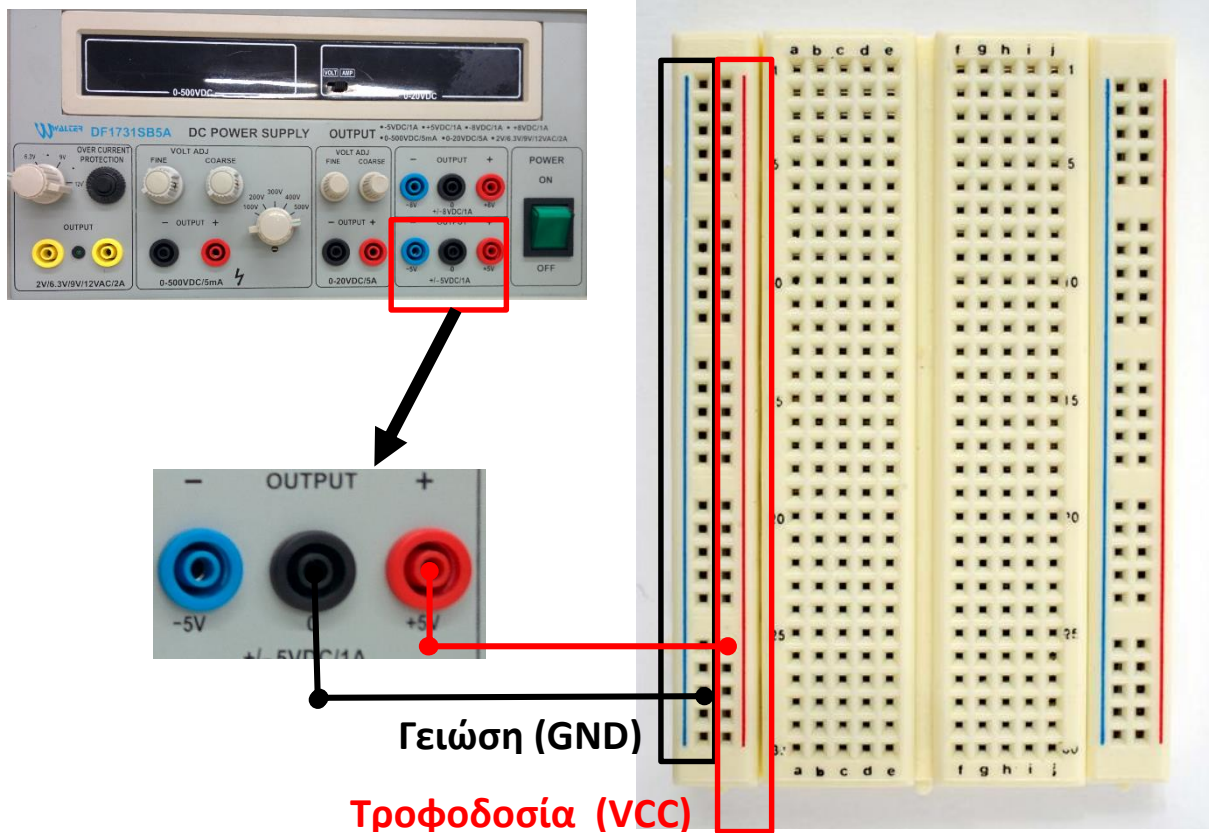
Αντίσταση σε Ohm (Ω)

Στα πλαίσια του εργαστηρίου Ψηφιακής Σχεδίασης ενδιαφέρον έχουν οι μετρήσεις Τάση συνεχούς ρεύματος σε Volts (V). Πιο συγκεκριμένα, το πολύμετρο έχει 2 ακροδέκτες εκ των οποίων ο ένας (Μαύρο καλώδιο, μαύρη υποδοχή) πρέπει να τοποθετείται πάντα στο σημείο με χαμηλότερο δυναμικό τάσης (π.χ. στον αρνητικό πόλο της πηγής τάσης) ενώ ο άλλος ακροδέκτης (κόκκινο καλώδιο, κόκκινη υποδοχή με σύμβολο V Ω) πρέπει να τοποθετηθεί στο εκάστοτε σημείο του κυκλώματος του οποίου την τάση θέλουμε να μετρήσουμε.

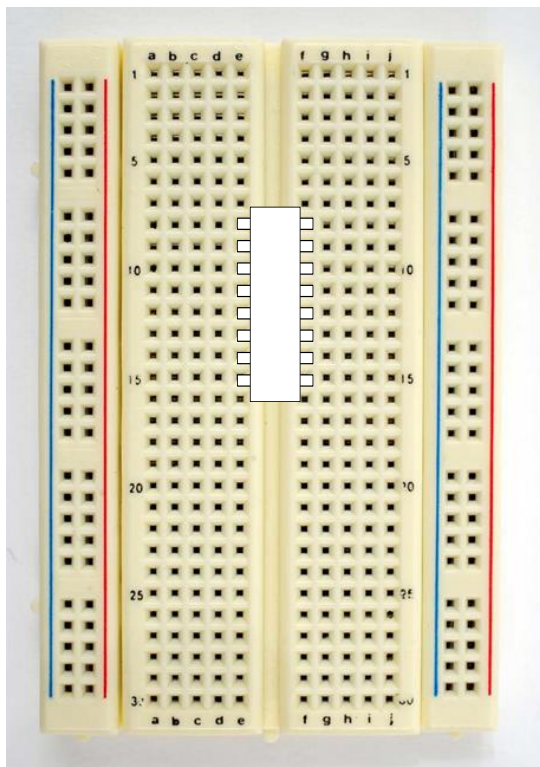
Κανόνες και τρόποι χρησιμοποίησης του breadboard και ολοκληρωμένων.

Κάθε ολοκληρωμένο που χρησιμοποιούμε πρέπει πριν από οτιδήποτε άλλο να συνδεθεί με την τροφοδοσία και την γείωση. Αν παραλείψουμε αυτό το βήμα τότε δεν πρόκειται να δουλεύει.

Για να φέρουμε την τροφοδοσία και την γείωση στο Bread board πρέπει να συνδέσουμε τον θετικό πόλο της πηγής τροφοδοσίας με ένα καλώδιο στις οπές που έχουν κόκκινες γραμμές πάνω στο breadboard ενώ τον αρνητικό πόλο της πηγής τροφοδοσίας με ένα άλλο καλώδιο στις οπές που έχουν γαλάζιο χρώμα πάνω στο breadboard. Το παραπάνω φαίνεται στο παρακάτω σχήμα.



Μετά από αυτή την σύνδεση, οι κάθετες οπές που έχουν δίπλα τους την κόκκινη γραμμή έχουν όλες 5 Volt (τροφοδοσία) ενώ οι οπές που έχουν δίπλα τους γαλάζια γραμμή έχουν όλες 0 Volt (γείωση).



Το ολοκληρωμένο που πρόκειται να χρησιμοποιηθεί, τοποθετείται πάντα στο αυλάκι μεταξύ των γραμμών, όπως φαίνεται στο σχήμα. Κάθε ακίδα του ολοκληρωμένου είναι τοποθετημένη σε μια οπή συγκεκριμένης γραμμής οπών. Η ακίδα αυτή, είναι σαν να έχει συνδεθεί σε όλες τις οπές της ίδιας γραμμής και μπορώ να βάλω καλώδια σε οποιαδήποτε οπή της γραμμής αυτής ώστε να συνδέσω τα καλώδια αυτά με την συγκεκριμένη ακίδα. Με άλλα λόγια η γραμμή συμπεριφέρεται σαν κόμβος κυκλώματος.

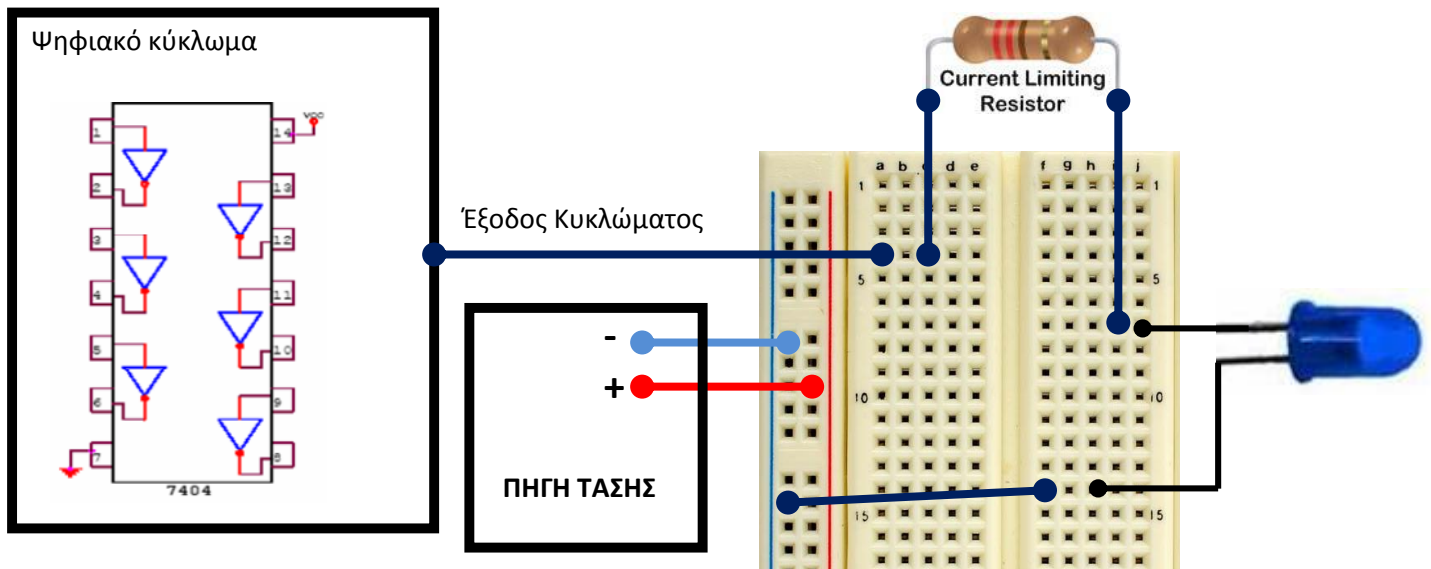
Αν θέλω να συνδέσω μια είσοδο σε περισσότερα από ένα σημεία του κυκλώματος τότε δεν συνδέω καλώδια από κάθε σημείο του κυκλώματος που χρησιμοποιώ την είσοδο, με την τροφοδοσία ή την γείωση. Βάζω όλα τα καλώδια στην ίδια γραμμή οπών (που αποτελεί ένα κόμβο του κυκλώματός μου) και στην συνέχεια από την γραμμή αυτή συνδέω ένα καλώδιο προς την τροφοδοσία ή την γείωση ώστε να πάρει η είσοδος μου λογικό 1 ή λογικό 0 αντίστοιχα.

Τρόποι Παρατήρησης-Μέτρησης Εξόδου κυκλώματος Ψηφιακής Λογικής

Αφού κατασκευαστεί το κύκλωμα που ζητείται θα προκύψει ένα καλώδιο που δεν θα είναι συνδεδεμένο σε κάποιο σημείο το οποίο θα αποτελεί την έξοδο του κυκλώματος καθώς και κάποια καλώδια τα οποία θα αποτελούν τις εισόδους του κυκλώματος. Για να επιβεβαιωθεί ο πίνακας αληθείας του ψηφιακού σχεδίου πρέπει να συνδέσουμε τα καλώδια των εισόδων σε είτε στον θετικό πόλο της τροφοδοσίας (οπότε θα πάρουν λογική τιμή 1) είτε στον αρνητικό πόλο της τροφοδοσίας (οπότε θα πάρουν λογική τιμή 0). Η έξοδος του ψηφιακού σχεδίου μπορεί να καταγραφεί:

A. Με την χρήση πολυμέτρου: Μετράται με πολύμετρο η τάση στα άκρα της εξόδου. Αν αυτή η τάση αντιστοιχεί στην τάση του θετικού πόλου της πηγής τάσης (π.χ. 5 V) τότε η έξοδος έχει λογικό 1. Αν αυτή η τάση αντιστοιχεί στην τάση του αρνητικού πόλου της πηγής τάσης τότε η έξοδος έχει λογικό 0.

B. Με την χρήση LED: Συνδέουμε το καλώδιο της εξόδου με μια μικρού μεγέθους αντίσταση R (π.χ. 50 Ω) και την αντίσταση αυτή με τον θετικό ακροδέκτη ενός LED (το μεγαλύτερο σε μήκος από τους δύο ακροδέκτες του LED). Τον άλλο ακροδέκτη τον συνδέουμε με την τάση στον αρνητικό πόλο της πηγής τάσης. Όταν το LED είναι αναμμένο τότε η έξοδος έχει λογικό 1, όταν το LED είναι σβηστό τότε η έξοδος έχει λογικό 0.



Εργαστηριακή Άσκηση 1:

«ΕΙΣΑΓΩΓΗ ΣΤΙΣ ΒΑΣΙΚΕΣ ΠΥΛΕΣ»

Σκοπός της Εργαστηριακής Άσκησης

Ο σκοπός της παρούσας εργαστηριακής άσκησης είναι αρχικά η εξοικείωση του σπουδαστή με την χρήση του λογισμικού σχεδίασης και εξομοίωσης ψηφιακών κυκλωμάτων. Στη συνέχεια μελετάται η λειτουργία των βασικών πυλών ψηφιακής λογικής σχεδίασης: AND, OR, NOT, XOR, και NAND οι οποίες χρησιμοποιούνται ως δομικά στοιχεία στις εφαρμογές των ψηφιακών ηλεκτρονικών.

Ο σπουδαστής θα εισαχθεί στην χρήση των δομικών ηλεκτρονικών στοιχείων (components) των βιβλιοθηκών (libraries) του προγράμματος σχεδίασης και εξομοίωσης, στην επιλογή των καταλλήλων στοιχείων για την εκτέλεση των εργαστηριακών ασκήσεων, καθώς και στον σχεδιασμό κυκλωμάτων ψηφιακής λογικής. Τέλος θα μελετηθεί η διαδικασία ελέγχου της ορθής λειτουργίας των σχεδιαζόμενων λογικών κυκλωμάτων κάθε φορά.

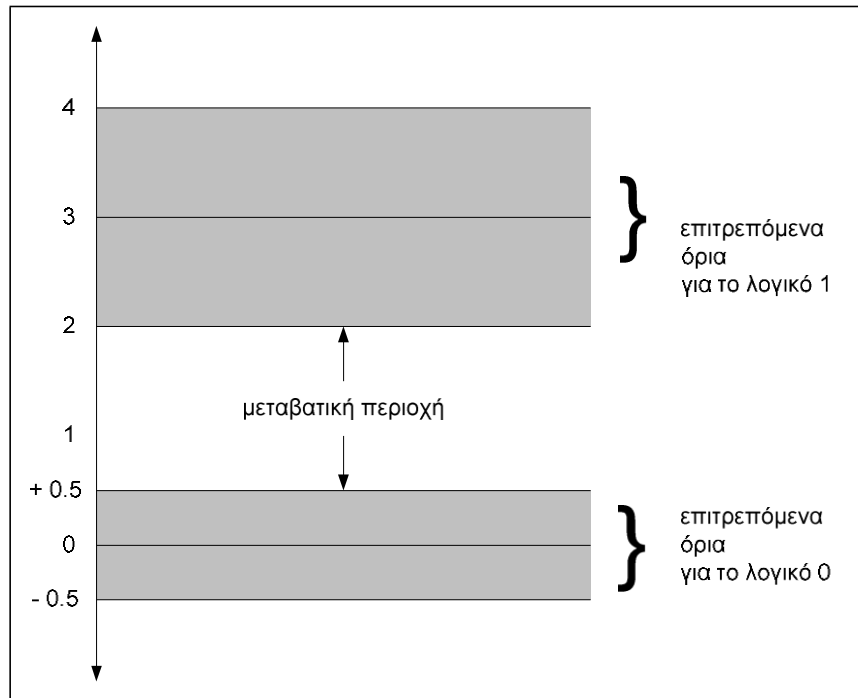
Το επόμενο μέρος της άσκησης αναφέρεται στην επαλήθευση των πινάκων αληθείας των βασικών πυλών δύο και τριών εισόδων, με την χρήση απλών λογικών πυλών από την χρησιμοποιούμενη βιβλιοθήκη του λογισμικού σχεδίασης και εξομοίωσης.

Τέλος, ο σπουδαστής θα εισαχθεί στα ολοκληρωμένα κυκλώματα ψηφιακών πυλών τεχνολογίας TTL (Transistor-Transistor-Logic) και θα επαληθεύσει την λειτουργία τους μέσω της διαδικασίας της προσομοίωσης.

Λογικές Πύλες

Τα ηλεκτρονικά ψηφιακά κυκλώματα λέγονται επίσης «λογικά κυκλώματα», επειδή με τις κατάλληλες εισόδους παράγουν εξόδους που είναι λογικές συναρτήσεις. Τα ηλεκτρικά σήματα (τάσεις ή εντάσεις) που υπάρχουν σε ένα ψηφιακό κύκλωμα είναι πάντα στη μία από δύο ευδιάκριτες περιοχές τιμών (εκτός από τη διάρκεια της μετάβασης από τη μία στην άλλη). Τα κυκλώματα που λειτουργούν με ηλεκτρικές τάσεις, για παράδειγμα, ανταποκρίνονται με διαφορετικό τρόπο στις «υψηλές» και στις «χαμηλές» τάσεις και έτσι χρησιμοποιούμενες αυτές τις τάσεις για να παριστάνουμε το λογικό 1 και το λογικό 0. Για παράδειγμα, κάποιο συγκεκριμένο ψηφιακό σύστημα μπορεί να ορίζει το λογικό 1 σαν ένα σήμα με ονομαστική τιμή 3 Volt και το λογικό 0 σαν σήμα με ονομαστική τιμή 0 Volt. Όπως φαίνεται στο ακόλουθο σχήμα, κάθε επίπεδο δυναμικού έχει μια αποδεκτή απόκλιση από την ονομαστική τιμή του. Η ενδιάμεση ζώνη μεταξύ των επιτρεπόμενων περιοχών χρησιμοποιείται μόνο στην μεταβατική κατάσταση. Πληροφορίες σχετικές με ζητήματα υπολογισμού και ελέγχου μπορούν να επεξεργαστούν με τη χρήση σημάτων

από διάφορους συνδυασμούς λογικών κυκλωμάτων, όπου κάθε σήμα παριστάνει μια μεταβλητή και μεταφέρει ένα bit πληροφορίας.



Σχήμα 1: Ολοκληρωμένα τύπου (α) 7408 και (β) 7432

Το παρακάτω σχήμα δείχνει τα σύμβολα των λογικών πυλών

Το μαθηματικό σύστημα της δυαδικής λογικής είναι γνωστό σαν «Άλγεβρα Boole» (Boolean Algebra), ή σαν «Άλγεβρα Διακοτπών» (Switching Algebra). Αυτή η άλγεβρα χρησιμοποιείται για την περιγραφή της λειτουργίας των ψηφιακών κυκλωμάτων. Οι σχεδιαστές ψηφιακών συστημάτων χρησιμοποιούν την Άλγεβρα Boole για να μετατρέπουν διαγράμματα κυκλωμάτων σε αλγεβρικές εκφράσεις και αντίστροφα.

Όνομα	Σύμβολο	Αλγεβρική Συνάρτηση	Πίνακας Αληθείας															
AND		$F = xy$	<table><tr><th>x</th><th>y</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	x	y	F	0	0	0	0	1	0	1	0	0	1	1	1
x	y	F																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
OR		$F = x + y$	<table><tr><th>x</th><th>y</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	x	y	F	0	0	0	0	1	1	1	0	1	1	1	1
x	y	F																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
Inverter		$F = x'$	<table><tr><th>x</th><th>F</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	x	F	0	1	1	0									
x	F																	
0	1																	
1	0																	
Buffer		$F = x$	<table><tr><th>x</th><th>F</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	x	F	0	0	1	1									
x	F																	
0	0																	
1	1																	
NAND		$F = (xy)'$	<table><tr><th>x</th><th>y</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	x	y	F	0	0	1	0	1	1	1	0	1	1	1	0
x	y	F																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
NOR		$F = (x + y)'$	<table><tr><th>x</th><th>y</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	x	y	F	0	0	1	0	1	0	1	0	0	1	1	0
x	y	F																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
Exclusive-OR (XOR)		$F = xy' + x'y$ $= x \oplus y$	<table><tr><th>x</th><th>y</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	x	y	F	0	0	0	0	1	1	1	0	1	1	1	0
x	y	F																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
Exclusive-NOR or equivalence		$F = xy + x'y'$ $= (x \oplus y)'$	<table><tr><th>x</th><th>y</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	x	y	F	0	0	1	0	1	0	1	0	0	1	1	1
x	y	F																
0	0	1																
0	1	0																
1	0	0																
1	1	1																

Οικογένειες Ψηφιακής Λογικής

Οι ψηφιακές πύλες ταξινομούνται όχι μόνο με τη λογική τους λειτουργία, αλλά επίσης και με την «οικογένεια» (family) του λογικού κυκλώματος στην οποία ανήκουν. Κάθε λογική οικογένεια έχει το δικό της βασικό ηλεκτρονικό κύκλωμα από το οποίο αναπτύσσονται οι διαφορές πύλες (συνήθως τα βασικά κυκλώματα είναι πύλες NAND και NOR). Οι λογικές οικογένειες παίρνουν συνήθως το όνομά τους από τα ηλεκτρονικά χαρακτηριστικά του βασικού τους κυκλώματος. Ανάμεσά τους οι ευρέως διαδεδομένες είναι οι εξής:

- TTL Transistor Transistor Logic
- ECL Emitter – Coupled Logic
- MOS Metal – Oxide – Semiconductor
- CMOS Complementary MOS

Η TTL είναι μια πολύ διαδεδομένη λογική οικογένεια που υπάρχει εδώ και αρκετό καιρό. Θεωρείται ως πρότυπη οικογένεια. Η ECL χρησιμοποιείται σε συστήματα με πολύ υψηλή ταχύτητα λειτουργίας. Η MOS χρησιμοποιείται όπου απαιτείται υψηλή συγκέντρωση πυλών σε μικρό χώρο και η CMOS σε συστήματα χαμηλής κατανάλωσης ισχύος.

Η οικογένεια TTL αναπτύχθηκε από μια προηγούμενη τεχνολογία, που χρησιμοποιούσε διόδους και τρανζίστορς για τη βασική λογική πύλη NAND. Αυτή η τεχνολογία λεγόταν DTL (Diode – Transistor Logic). Αργότερα οι διόδοι άλλαξαν με τρανζίστορς, για να βελτιωθεί η λειτουργία και η απόδοση και το όνομα της οικογένειας άλλαξε σε TTL.

Πύλες Ολοκληρωμένων Κυκλωμάτων

Η οικογένεια TTL, στην πραγματικότητα, αποτελείται από αρκετές υποοικογένειες ή σειρές. Ο ακόλουθος πίνακας παραθέτει το όνομα κάθε σειράς και το χαρακτηριστικό της πρόθεμα, το οποίο δείχνει ότι κάποιο ολοκληρωμένο είναι μέλος αυτής της σειράς. Τα ολοκληρωμένα που είναι μέλη των standard TTL έχουν ένα χαρακτηριστικό αριθμό που αρχίζει με 74.

Οι διαφορές μεταξύ διαφόρων σειρών TTL είναι στα ηλεκτρικά τους χαρακτηριστικά, όπως η κατανάλωση ισχύος, η καθυστέρηση διάδοσης και η ταχύτητα εναλλαγής. Δεν διαφέρουν στις συνδέσεις των εξωτερικών ακροδεκτών ή στη λογική λειτουργία που επιτελείται από τα εσωτερικά κυκλώματα. Για παράδειγμα, όλα τα ολοκληρωμένα που παραθέτονται με τον αριθμό 86, ανεξάρτητα από το πρόθεμα, περιέχουν τέσσερις πύλες XOR με τις ίδιες συνδέσεις για τους εξωτερικούς ακροδέκτες σε κάθε περίπτωση.

Πίνακας 1: Σειρές της Λογικής Οικογένειας TTL

Σειρές TTL	Πρόθεμα	Παράδειγμα
Standard TTL	74	7486
Υψηλής Ταχύτητας TTL	74H	74H86
Ισχύος TTL	74L	74L86
Schottky TTL	74S	74S86
Χαμηλής Ισχύος Schottky TTL	74LS	74LS86
Προηγμένα Ισχύος Schottky TTL	74AS	74AS86
Προηγμένα Χαμηλής Ισχύος Schottky TTL	74ALS	74ALS86



Χαρακτηριστικά Οικογενειών Ψηφιακής Λογικής

Τα χαρακτηριστικά των οικογενειών ψηφιακών κυκλωμάτων συνήθως συγκρίνονται, αφού αναλύσουμε το κύκλωμα της βασικής πύλης σε κάθε οικογένεια. Οι πιο σημαντικές παράμετροι, που εκτιμώνται και συγκρίνονται, παραθέτονται με συντομία στις επόμενες παραγράφους. Η ικανότητα οδήγησης (fan out) είναι ο αριθμός των τυπικών φορτίων που μπορεί να οδηγήσει η έξοδος μιας πύλης χωρίς να κινδυνέψει η κανονική της λειτουργία. Το τυπικό φορτίο (standard load) ορίζεται συνήθως το ποσό του ρεύματος που χρειάζεται μια είσοδος μιας άλλης παρόμοιας πύλης της ίδιας οικογένειας.

Η κατανάλωση ισχύος (power dissipation) είναι η ισχύς τροφοδοσίας που απαιτείται για να λειτουργήσει η πύλη. Η καθυστέρηση διάδοσης (propagation delay) είναι ο μέσος χρόνος που χρειάζεται για να διαδοθεί η αλλαγή ενός σήματος από την είσοδο στην έξοδο μιας πύλης. Η ταχύτητα λειτουργίας είναι αντιστρόφως ανάλογη με την καθυστέρηση διάδοσης. Το περιθώριο θορύβου (noise margin) είναι η ελάχιστη τάση εξωτερικού θορύβου που προκαλεί η ανεπιθύμητη αλλαγή στην έξοδο.

Ενέργειες Άσκησης 1

Μέρος Α

Χρησιμοποιώντας τις βασικές λογικές πύλες AND, OR δύο εισόδων, σχεδιάστε τις συναρτήσεις ψηφιακής λογικής $F1(x,y,z)$: $A=XYZ$ και $F2(x,y,z)$: $B=X+Y+Z$. Επιβεβαιώστε τους αντίστοιχους πίνακες αληθείας για κάθε μία από τις παραπάνω συναρτήσεις ξεχωριστά:

X	Y	Z	$F1(x,y,z)$
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Πίνακας 7: Πίνακας Αληθείας
Συνάρτησης $F1(x,y,z)$

X	Y	Z	$F2(x,y,z)$
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Πίνακας 8: Πίνακας Αληθείας
Συνάρτησης $F2(x,y,z)$

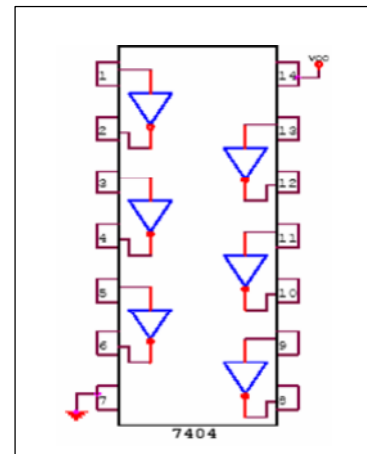
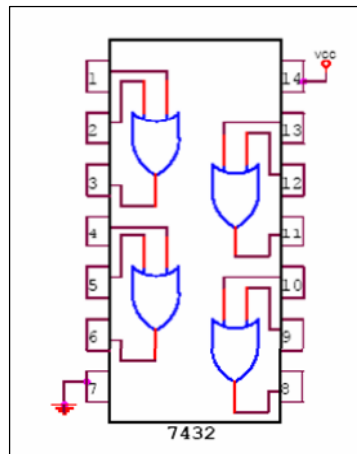
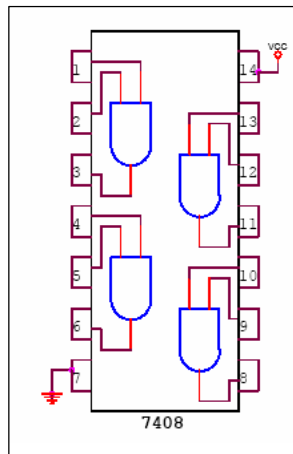
Μέρος Β

Συνδέστε την πηγή τάσης με το breadboard και μετρήστε την τάση στα άκρα του θετικού πόλου και στα άκρα του αρνητικού πόλου.

Τοποθετείστε στο breadboard δύο ακροδέκτες X και Y έτσι ώστε να έχουν στα άκρα τους τις παρακάτω λογικές τιμές:

X	Y
0	0
1	0
0	1

Χρησιμοποιείτε τις βασικές λογικές πύλες AND, OR, NOT δύο εισόδων που βρίσκονται στα παρακάτω ολοκληρωμένα και επιβεβαιώστε τους πίνακες αληθείας μιας πύλης AND, OR, NOT.



X	Y	Z
0	0	
0	1	
1	1	
1	0	

Πίνακας 2: Πίνακας Αληθείας Λογικού **AND**, ($Z=X \text{ AND } Y$)

X	Z
0	

Πίνακας 3: Πίνακας Αληθείας Λογικού **NOT**, ($Z=\text{NOT } Y$)

X	Y	Z
0	0	
0	1	
1	1	
1	0	

Πίνακας 4: Πίνακας Αληθείας Λογικού **OR**, ($Z=X \text{ OR } Y$)

Εργαστηριακή Άσκηση 2: «Ιδιότητες βασικών πυλών AND-OR, Θεώρημα De Morgan»

Σκοπός της Εργαστηριακής Άσκησης

Η εργαστηριακή άσκηση αυτή έχει ως απώτερο σκοπό την εξοικείωση του σπουδαστή με τις μαθηματικές ιδιότητες των πυλών ψηφιακής λογικής AND και OR, της άλγεβρας Boole.

Αναλυτικότερα, στόχος είναι να αποδειχθεί ότι για τις πύλες AND και OR ισχύει η προσεταιριστική ιδιότητα. Η εφαρμογή της ιδιότητας αυτής έχει ως αποτέλεσμα το σχεδιασμό και την υλοποίηση λογικών πυλών, με περισσότερες από δύο εισόδους. Αυτό μπορεί να επιτευχθεί με την χρησιμοποίηση και το συνδυασμό βασικών λογικών πυλών δύο εισόδων. Με την μέθοδο αυτή επιτυγχάνεται μία ευελιξία, κατά την σχεδίαση κυκλωμάτων ψηφιακής λογικής.

Επίσης στην άσκηση αυτή δίνεται μεγάλη έμφαση στο θεώρημα De Morgan. Το θεώρημα De Morgan είναι ένα από τα βασικότερα θεωρήματα της άλγεβρας Boole. Η μελέτη του θεωρήματος αυτού θα γίνει με την εφαρμογή παραδειγμάτων προσομοίωσης κυκλωμάτων ψηφιακής λογικής.

Βασικοί Ορισμοί

Η άλγεβρα Boole (Boolean Algebra), όπως και κάθε άλλο επαγωγικό μαθηματικό σύστημα, μπορεί να οριστεί με ένα σύνολο στοιχείων, ένα σύνολο τελεστών και ένα σύνολο αξιωμάτων που τα δεχόμαστε χωρίς απόδειξη. Ένα «σύνολο» (set) είναι κάθε συλλογή αντικειμένων που έχουν μια κοινή ιδιότητα. Εάν S είναι ένα σύνολο, για τα αντικείμενα x και y , ο συμβολισμός " $x \in S$ " σημαίνει ότι το x είναι μέλος του συνόλου S και " $y \notin S$ " σημαίνει ότι το y δεν είναι στοιχείο του S . Ένα σύνολο με τριθέσιο αριθμού στοιχείων μπορεί να οριστεί με άγκιστρα: π.χ. $A=\{1,2,3,4\}$ σημαίνει ότι τα στοιχεία του συνόλου είναι αριθμοί 1,2,3, και 4. Ένας δυαδικός τελεστής (binary operator) ορισμένος σε ένα σύνολο S είναι ένας κανόνας που αντιστοιχίζει σε κάθε ζευγάρι στοιχείων του S ένα μοναδικό στοιχείο από το S . Σαν παράδειγμα, θεωρούμε τη σχέση $a*b=c$. Λέμε ότι το $*$ είναι ένας δυαδικός τελεστής εάν ορίζει έναν κανόνα για να βρίσκουμε το c από το ζευγάρι (a,b) και επίσης εάν τα $a,b,c \in S$. Ωστόσο, το $*$ δεν είναι ένας δυαδικός τελεστής εάν τα $a,b,c \in S$, εάν ο κανόνας δίνει κάποιο $c \notin S$.

Αξιώματα Αλγεβρικών Δομών

Τα πιο συνηθισμένα αξιώματα, που χρησιμοποιούνται για το σχηματισμό διαφόρων αλγεβρικών δομών, είναι:

Κλειστότητα (closure). Ένα σύνολο S είναι κλειστό ως προς έναν δυαδικό τελεστή εάν, για κάθε ζευγάρι στοιχείων του S , ο δυαδικός τελεστής αντιστοιχίζει ένα (μοναδικό) στοιχείο που ανήκει στο S . Για παράδειγμα το σύνολο των φυσικών αριθμών $N = \{1,2,3,4,\dots\}$ είναι κλειστό ως προς το δυαδικό τελεστή συν (+) με τον κανόνα της αριθμητικής πρόσθεσης, αφού για κάθε $a,b \in N$, η πράξη $a + b = c$ δίνει ένα

μοναδικό $c \in N$. Το σύνολο των φυσικών αριθμών δεν είναι κλειστό ως προς το δυαδικό τελεστή πλην (-) με τον κανόνα της αριθμητικής αφαίρεσης, διότι $2-3=-1$ και $2,3, \in N$, ενώ το $(-1) \notin N$.

Προσεταιριστικός νόμος (Associative law). Ένας δυαδικός τελεστής $*$ σε ένα σύνολο S λέμε ότι είναι προσεταιριστικός, όταν:

$$(x * y) * z = x * (y * z) \quad \text{για όλα } x, y, z \in S$$

Αντιμεταθετικός νόμος (Communicative law). Ένας δυαδικός τελεστής $*$ σε ένα σύνολο S λέμε ότι είναι αντιμεταθετικός, όταν:

$$x * y = y * x \quad \text{για όλα } x, y \in S$$

Επιμεριστικός νόμος (Distributive law). Εάν $*$ και $.$ είναι δύο δυαδικοί τελεστές πάνω σε ένα σύνολο S , ο $*$ λέγεται ότι είναι επιμεριστικός ως προς τον $.$ όταν:

$$x * (y \cdot z) = (x * y) \cdot (x * z)$$

Συσχετίζοντας την άλγεβρα Boole με την Ψηφιακή Λογική και Σχεδίαση, χρησιμοποιούμε σαν δυαδικές πράξεις, τις λογικές πράξεις που η ψηφιακή λογική διαθέτει, και πιο συγκεκριμένα το λογικό ΚΑΙ (AND) αλλά και το λογικό Ή (OR). Για τις λογικές αυτές πράξεις ισχύει η ιδιότητα της Κλειστότητας καθώς και οι διάφοροι νόμοι.

Βασικά Θεωρήματα

Ο ακόλουθος πίνακας περιέχει έξι θεωρήματα της άλγεβρας Boole και τέσσερα από τα αξιώματά της. Τα αξιώματα προφανώς δεν αποδεικνύονται τα θεωρήματα πρέπει να αποδειχτούν ξεκινώντας από τα αξιώματα.

	Τελεστής OR	Τελεστής AND
Αξίωμα 1	$x + 0 = x$	$x \cdot 1 = x$
Αξίωμα 2	$x + x' = 1$	$x \cdot x' = 0$
Θεώρημα 1	$x + x = x$	$x \cdot x = x$
Θεώρημα 2	$x + 1 = 1$	$x \cdot 0 = 0$
Θεώρημα 3 (δύο αρνήσεις)	$(x')' = x$	
Αξίωμα 3 (αντιμεταθετική)	$x + y = y + x$	$x \cdot y = y \cdot x$
Θεώρημα 4 (προσεταιριστική)	$x + (y + z) = (x + y) + z$	$x \cdot (y \cdot z) = (x \cdot y) \cdot z$
Αξίωμα 4 (επιμεριστική)	$x(y + z) = xy + xz$	$x + y \cdot z = (x + y) \cdot (x + z)$
Θεώρημα 5 (De Morgan)	$(x + y)' = x' y'$	$(x \cdot y)' = x' + y'$
Θεώρημα 6 (απορρόφηση)	$x + xy = x$	$x \cdot (x + y) = x$

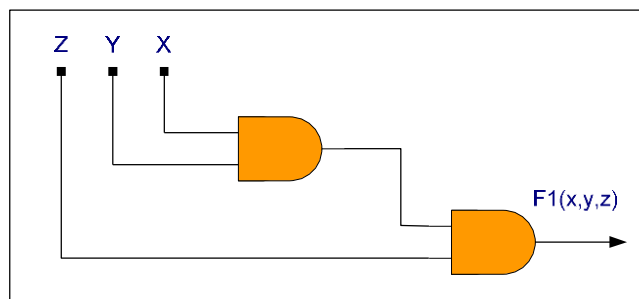
Ενέργειες Άσκησης 2

Μέρος Α:

Με την χρήση των βασικών πυλών του 2 εισόδων όπως παρουσιάστηκαν στο προηγούμενο εργαστήριο μπορούν να κατασκευαστούν πύλες ίδιας λογικής πράξης περισσότερων εισόδων.

Χρησιμοποιώντας τις βασικές πύλες AND και OR δύο εισόδων να σχεδιάσετε και να υλοποιήσετε με την χρήση των ολοκληρωμένων 74LS04 και 74LS32 πύλες AND και OR 3 εισόδων χρησιμοποιώντας την προσεταιριστική ιδιότητα της άλγεβρας Boole.

Παράδειγμα:



Σχήμα 3: Ψηφιακό Κύκλωμα Λογικών Πυλών **AND**, συνάρτησης **F1**

Να επιβεβαιώσετε ότι τα κυκλώματα που κατασκευάσατε είναι σωστά με την συμπλήρωση του πίνακα αληθείας των πυλών AND και OR 3 εισόδων.

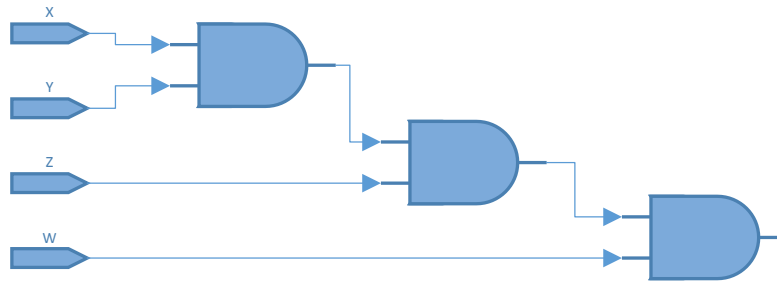
X	Y	Z	F1
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Πίνακας Αληθείας Λογικού **AND**, ($F1 = X \text{ AND } Y \text{ AND } Z$)

X	Y	Z	F2
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Πίνακας 3: Αληθείας Λογικού **AND**, ($F2 = X \text{ OR } Y \text{ OR } Z$)

Επεκτείνοντας την παραπάνω λογική και χρησιμοποιώντας την προσεταιριστική ιδιότητα να σχεδιάσετε το παρακάτω κύκλωμα μιας πύλης AND 4 εισόδων.



Να γράψετε την συνάρτηση boole για την πύλη AND 4 εισόδων.

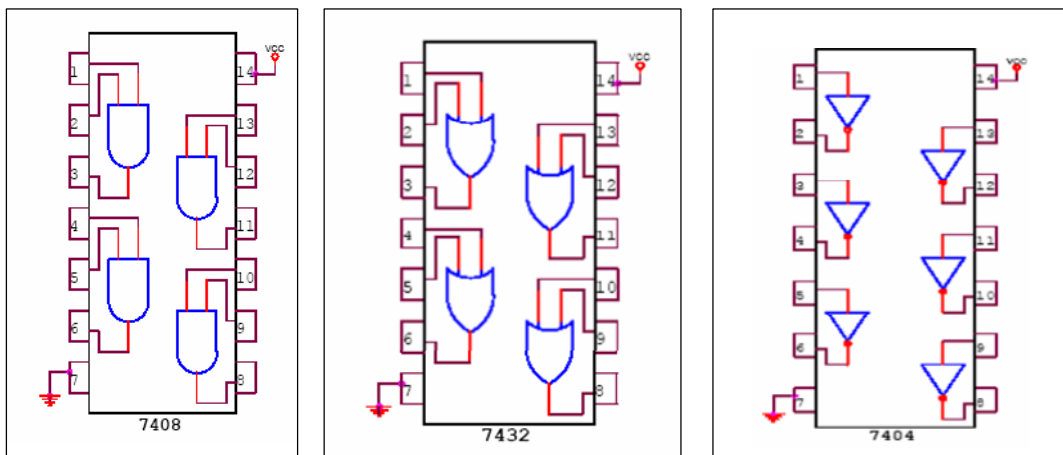
Το παραπάνω κύκλωμα μπορεί να κατασκευαστεί αποδοτικότερα;

Να σχεδιάσετε ένα πιο αποδοτικό κύκλωμα πύλης AND τεσσάρων εισόδων και να γράψετε την συνάρτηση άλγεβρας boole που το χαρακτηρίζει.

Μέρος Β:

Χρησιμοποιώντας βασικές πύλες AND, OR ή NOT να κατασκευάσετε χρησιμοποιώντας τα ολοκληρωμένα 74LS04, 74LS08 και 74LS32 μια πύλη NAND δύο εισόδων. (Σημείωση: Η συνάρτηση Boole της πύλης NAND είναι $N=(X \cdot Y)'$).

Δίνεται η δομή των τριών ολοκληρωμένων



Να σχεδιαστεί το κύκλωμα που κατασκευάσατε και να συμπληρωθεί ο πίνακας αληθείας του.

X	Y	F
0	0	
0	1	
1	0	
1	1	

Χρησιμοποιώντας το θεώρημα De Morgan να σχεδιάσετε εναλλακτικό κύκλωμα για πού να έχει τον ίδιο πίνακα αληθείας με αυτόν που συμπληρώσατε παραπάνω.

Εργαστηριακή Άσκηση 3: «Βασικές Πύλες NAND, NOR – Ιδιότητες Βασικών Πυλών»

Σκοπός της Εργαστηριακής Άσκησης

Ο σκοπός της παρούσας εργαστηριακής άσκησης είναι η εξοικείωση του φοιτητή με τις βασικές πύλες ψηφιακής λογικής NAND και NOR, δύο και τριών εισόδων (μεταβλητών). Οι πύλες αυτές θεωρούνται πολύ βασικές διότι με τη χρήση αυτών μπορούν να υλοποιηθεί οποιαδήποτε άλλη πύλη AND, OR, NOT και για αυτόν τον λόγο ονομάζονται καθολικές (universal). Έχουν, εντούτοις, ένα βασικό μειονέκτημα: δεν είναι προσεταιριστικές. Συνέπεια τούτου είναι η αδυναμία υλοποίησης μιας πύλης τύπου NAND ή NOR τριών εισόδων (μμεταβλητών), βασισμένη σε πύλες NAND, NOR δύο εισόδων (μμεταβλητών). Αντικείμενο της άσκησης αυτής είναι επίσης η υλοποίηση πυλών NAND και NOR τριών εισόδων με τη χρήση λογικών πυλών AND, OR δύο εισόδων (μμεταβλητών), σε συνδυασμό με μια πύλη NOT.

Λογικές Πύλες NAND και NOR και Προσεταιριστική Ιδιότητα

Εν αντιθέσει με τις βασικές λογικές πράξεις της AND και OR, η πράξη NAND δεν είναι ακολουθεί την προσεταιριστική ιδιότητα. Αυτό μπορεί να αποδειχθεί χρησιμοποιώντας το θεώρημα De Morgan πχ. για την πύλη NAND:

$$((X \cdot Y) \cdot Z)' = ((X \cdot Y)') + Z' = X + Y + Z', \text{ Βάσει του θεωρήματος De Morgan}$$

Αντίθετα:

$$(X \cdot (Y \cdot Z))' = X' + ((Y \cdot Z)') = X' + Y + Z, \text{ Βάσει του θεωρήματος De Morgan Επομένως } (XYZ)' \neq ((XY)'Z)' \neq (X(YZ))'$$

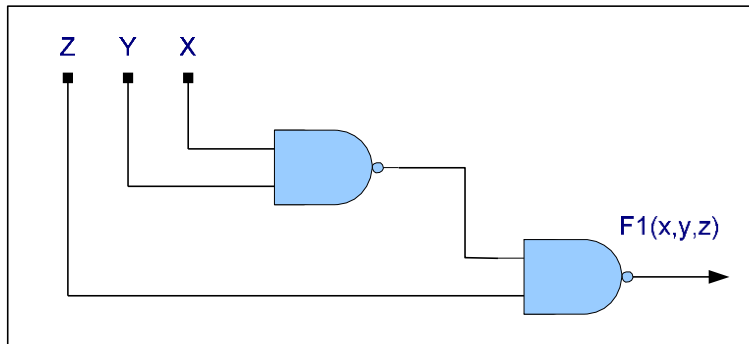
Στο ίδιο συμπέρασμα μπορούμε να καταλήξουμε και για την πύλη NOR.

Εφόσον δεν ισχύει η προσεταιριστική ιδιότητα στην πράξη NAND-NOR δεν μπορούμε να υλοποιήσουμε μια πύλη NAND τριών εισόδων με πύλες NAND δύο εισόδων. Αντ' αυτού, εφόσον η πράξη AND είναι προσεταιριστική και εφόσον η πράξη NAND είναι η πράξη AND με αντιστροφή (NOT), η υλοποίηση μια πύλης NAND τριών εισόδων γίνεται με την χρήση πυλών AND και NOT.

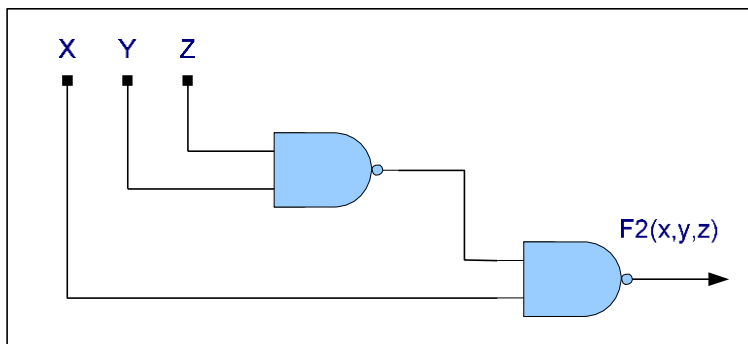
Ενέργειες Άσκησης 3

Μέρος Α :

Να σχεδιαστούν και να υλοποιηθούν με την χρήση πυλών AND, OR και NOT χρησιμοποιώντας τα ολοκληρωμένα 74LS04, 74LS08, 74LS32 τα παρακάτω κυκλώματα και να συμπληρωθούν οι πίνακες αληθείας για το καθένα από αυτά με βάση τις μετρήσεις που πήρατε για κάθε ένα από αυτά.



X	Y	Z	F1
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



X	Y	Z	F2
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

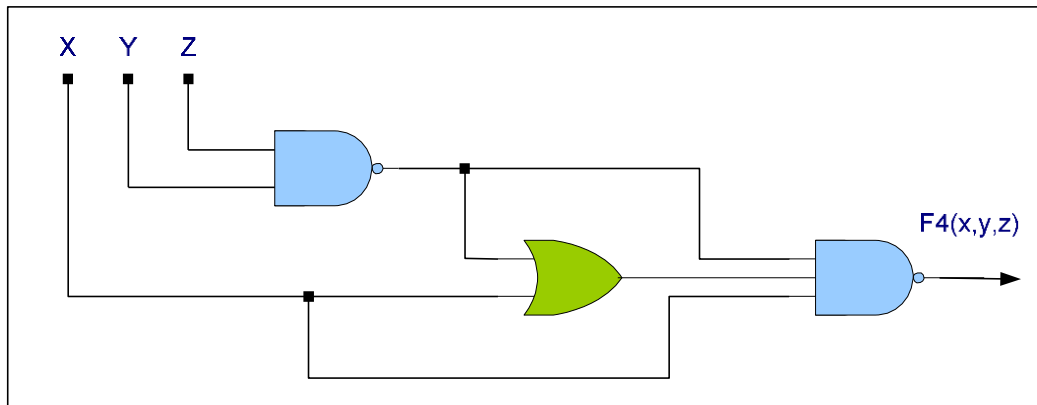
Υπενθύμιση: Η κάθε πύλη NAND 2 εισόδων πρέπει να κατασκευαστεί με τη χρήση πυλών AND, OR NOT 2 εισόδων, όπως έγινε στην προηγούμενη Άσκηση (άσκηση 2).

Είναι οι δύο παραπάνω πίνακες αληθείας ίδιοι; Εάν όχι δεν ισχύει η προσεταιριστικότητα.

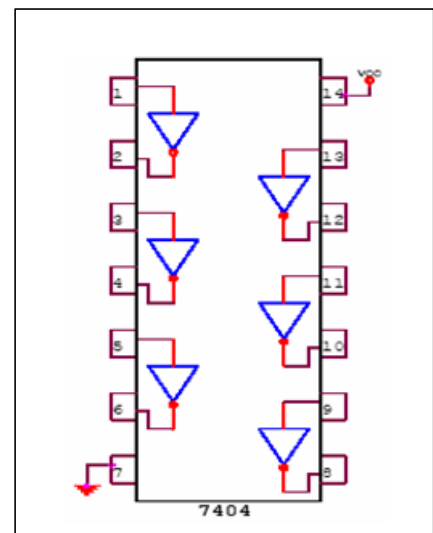
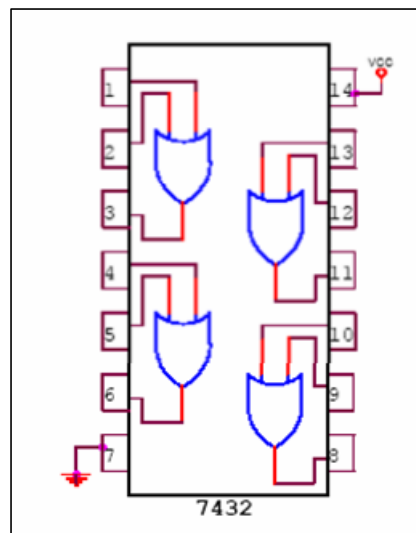
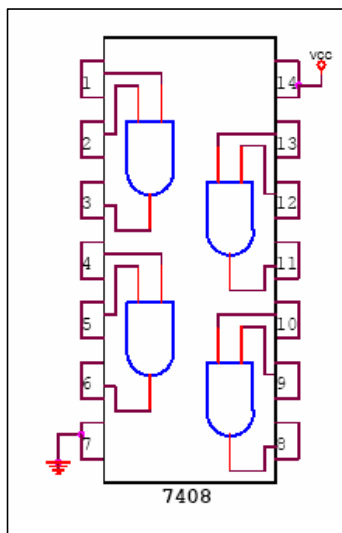
Σχεδιάστε ένα κύκλωμα χρησιμοποιώντας πύλες AND, OR, ή NOT 2 εισόδων που να αντιστοιχεί σε μια πύλη NAND 3 εισόδων.

Μέρος Β :

Με βάση το κύκλωμα NAND 3 εισόδων που σχεδιάσατε στο προηγούμενο ερώτημα, να κατασκευάσετε με την χρήση των ολοκληρωμένων 74LS04, 74LS08 και 74LS32 το παρακάτω κύκλωμα και να συμπληρώσετε τον πίνακα αληθείας του:

Ψηφιακό Κύκλωμα Συνάρτησης **F3**

X	Y	Z	F3
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



Εργαστηριακή Άσκηση 4: «Σχεδιασμός Ψηφιακών Κυκλωμάτων με την χρήση πυλών NAND και NOR»

Σκοπός της Εργαστηριακής Άσκησης

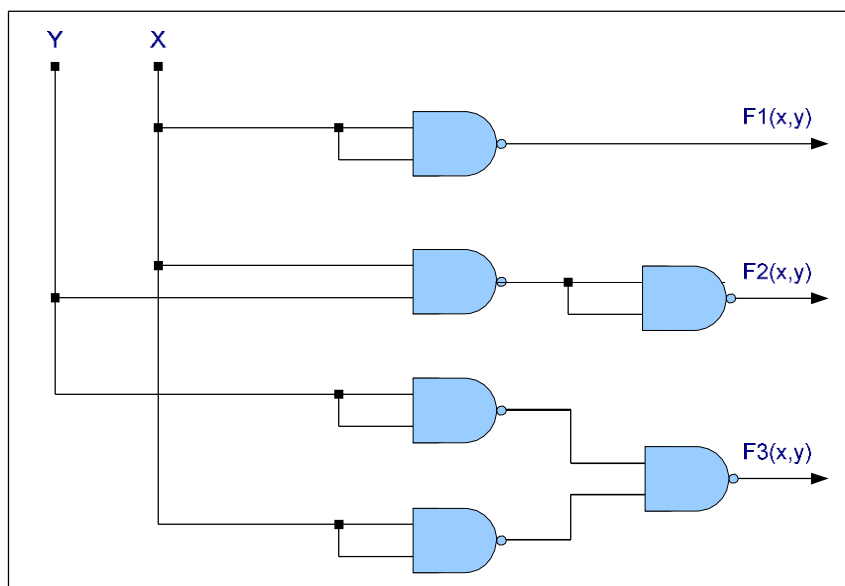
Ο σκοπός της εργαστηριακής άσκησης είναι η εξοικείωση του φοιτητή με τον σχεδιασμό λογικών ψηφιακών κυκλωμάτων, βασισμένων στις πύλες ψηφιακής λογικής NAND και NOR. Η δυνατότητα της υλοποίησης βασικών πυλών και πράξεων της άλγεβρας Boole (AND, OR, NOT), με την χρήση πυλών τύπου NAND, NOR είναι ένα από τα βασικότερα πλεονεκτήματα της ψηφιακής λογικής σχεδίασης.

Το χαμηλό κόστος της βιομηχανικής κατασκευής των πυλών ψηφιακής λογικής NAND και NOR προσφέρει τη δυνατότητα στους σχεδιαστές κυκλωμάτων ψηφιακής λογικής να σχεδιάζουν κυκλώματα που αποτελούνται μόνο από πύλες NAND και/ή OR. Κύριος στόχος της εργαστηριακής άσκησης είναι ο σχεδιασμός κυκλωμάτων μόνο με τη χρησιμοποίηση πυλών NAND, NOR.

Ενέργειες Άσκησης 4

ΜέροςΑ :

Με βάση το παρακάτω κύκλωμα όπου χρησιμοποιούνται μόνο πύλες NAND να συμπληρωθεί ο πίνακας αληθείας για τις συναρτήσεις $F1$, $F2$, $F3$.

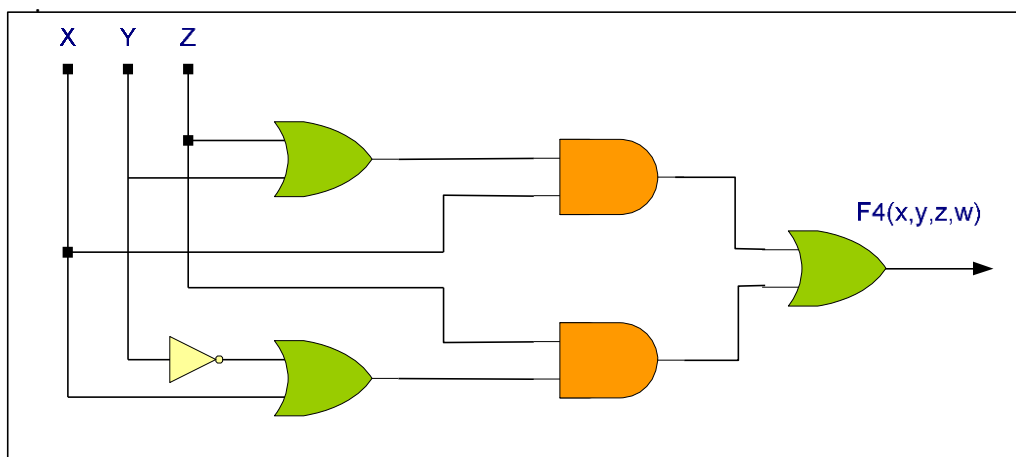


X	Y	F1	F2	F3
0	0			
0	1			
1	0			
1	1			

Να γίνει αντιστοίχιση των αποτελεσμάτων του πίνακα αληθείας για F1, F2, F3 με τους πίνακες αληθείας των βασικών πυλών. Τι παρατηρείτε;

Μέρος Β :

Χρησιμοποιώντας τις βασικές πύλες AND NOT OR από τα ολοκληρωμένα 74LS04, 74LS32, 74LS08, να κατασκευάσετε το παρακάτω κύκλωμα και να συμπληρώσετε τον πίνακα αληθείας του για την συνάρτηση $F4 = X (Y + Z) + (X + Y') Z$

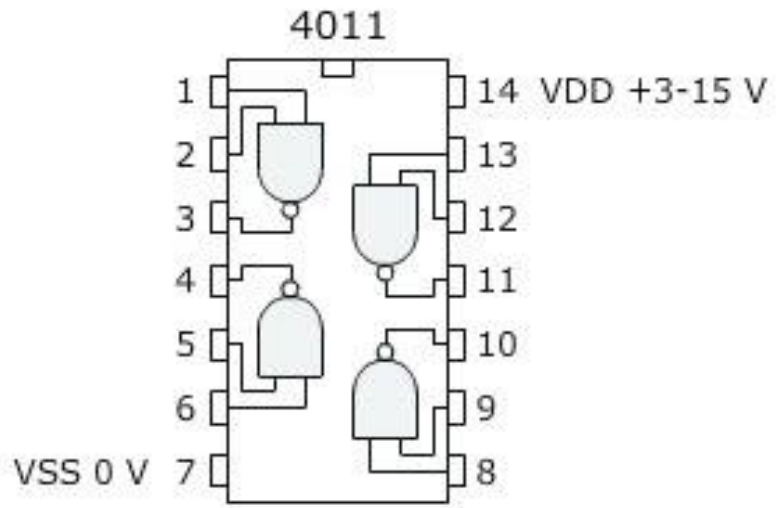
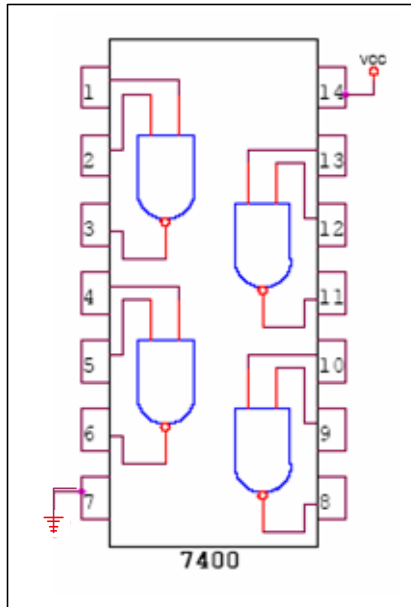


X	Y	Z	F4
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Το παραπάνω κύκλωμα μπορεί να υλοποιηθεί μόνο με πύλες NAND. Χρησιμοποιώντας τις αντιστοιχίες που κάνατε στο μέρος Α, να σχεδιάσετε ένα κύκλωμα που ακολουθεί το πίνακα αληθείας του παραπάνω κυκλώματος χρησιμοποιώντας μόνο πύλες NAND.

Μέρος Γ :

Χρησιμοποιώντας το ολοκληρωμένο τύπου 7400 ή 4011 (τέσσερις πύλες NAND δύο εισόδων) να υλοποιήσετε τη συνάρτηση F4 μόνο με πύλες NAND δύο εισόδων. Για να γίνει αυτό να χρησιμοποιηθεί το κύκλωμα που σχεδιάστηκε στο μέρος Β.



Εργαστηριακή Άσκηση 5: «Συναρτήσεις της Άλγεβρας Boole –Ανάλυση και Σχεδιασμός Κυκλωμάτων»

Σκοπός της Εργαστηριακής Άσκησης

Ο σκοπός της παρούσας εργαστηριακής άσκησης είναι η εξοικείωση του φοιτητή με τις συναρτήσεις της άλγεβρας Boole. Η ιδιαιτερότητα των συναρτήσεων αυτών είναι ότι μπορούν να απλοποιηθούν μέσω αντιστοιχών θεωρημάτων της άλγεβρας Boole. Η ιδιότητα αυτή συνεπάγεται στο να παράγονται τα ίδια αποτελέσματα από τις νέες συναρτήσεις με απλούστερες όμως και πιο ευέλικτες υλοποιήσεις αυτή τη φορά. Αρχικά δηλαδή, στο σχεδιασμό λογικών ψηφιακών κυκλωμάτων προσπαθούμε να απλοποιήσουμε την μορφή ενός κυκλώματος, με την χρήση γνωστών τεχνικών από την θεωρία, όπως οι πίνακες Karnaugh.

Απλοποίηση συναρτήσεων Boole

Η πολυπλοκότητα των ψηφιακών πυλών που υλοποιούν μια συνάρτηση Boole σχετίζεται άμεσα με την πολυπλοκότητα της αλγεβρικής έκφρασης από την οποία υλοποιείται η συνάρτηση. Η αναπαράσταση μιας συνάρτησης με πίνακα αληθείας είναι μοναδική, ενώ η αλγεβρική αναπαράσταση μπορεί να πάρει αρκετές διαφορετικές μορφές.

Οι συναρτήσεις Boole μπορούν να απλοποιηθούν με διάφορους αλγεβρικούς τρόπους όπως έχει μελετηθεί σε προηγούμενη άσκηση. Αυτή η μεθοδολογία υλοποίησης αποδεικνύεται δύσχρηστη, διότι δεν έχει συγκεκριμένους κανόνες που να καθορίζουν κάθε φορά πιο είναι το επόμενο βήμα κλπ.

Η μέθοδος του χάρτη (map) είναι μια απλή μέθοδος για την ελαχιστοποίηση των συναρτήσεων Boole. Η μέθοδος αυτή μπορεί να θεωρηθεί είτε μια μορφή σχηματικού πίνακα αληθείας. Αναπτύχθηκε πρώτα από τον Veitch και τροποποιήθηκε από τον Karnaugh για αυτό και είναι γνωστή σαν «χάρτης Karnaugh».

Η Μέθοδος του Χάρτη

Ο χάρτης είναι ένα διάγραμμα αποτελούμενο από τετράγωνα. Κάθε τετράγωνο παριστάνει έναν ελαχιστόρο (minterm). Κάθε συνάρτηση Boole μπορεί να εκφραστεί ως ένα άθροισμα ελαχιστόρων. Για το λόγο αυτό κάθε συνάρτηση Boole αναγνωρίζεται γραφικά στο χάρτη, από την περιοχή που καλύπτουν τα τετράγωνα των ελαχιστόρων που περιέχονται στη συνάρτηση. Με άλλα λόγια, ο χάρτης είναι ένα σχηματικό διάγραμμα όλων των δυνατών τρόπων με τους οποίους η συνάρτηση μπορεί να εκφραστεί σε πρωτότυπη μορφή.

Ο σχεδιαστής/χρήστης μπορεί να δημιουργήσει εναλλακτικές αλγεβρικές παραστάσεις για την ίδια συνάρτηση, από τις οποίες (εκφράσεις) μπορεί να διαλέξει την απλούστερη κάθε φορά.

Χάρτης Δύο μεταβλητών

Ένας χάρτης δύο μεταβλητών φαίνεται στον ακόλουθο πίνακα:

		y	
		0	1
x	0	m0	m1
	1	m2	m3

Στον παραπάνω πίνακα υπάρχουν τέσσερις ελαχιστόροι για δύο μεταβλητές, κι έτσι ο χάρτης αποτελείται από τέσσερα τετράγωνα, ένα για κάθε ελαχιστόρο. Στον πίνακα (β) φαίνεται η σχέση ανάμεσα στα τετράγωνα και τις δύο μεταβλητές. Τα 0 και 1 που σημειώνονται για κάθε γραμμή και στήλη καθορίζουν τις τιμές των μεταβλητών x και y.

Όπως μπορούμε να παρατηρήσουμε, το x εμφανίζεται ως συμπλήρωμα στη γραμμή 0 και κανονικά στη γραμμή 1. Ανάλογα, το y, εμφανίζεται ως συμπλήρωμα στη στήλη 0 και κανονικά στη στήλη 1.

Αν σημειώσουμε τα τετράγωνα εκείνα των οποίων οι ελαχιστόροι ανήκουν σε μια δοσμένη συνάρτηση, ο χάρτης δύο μεταβλητών γίνεται ένας νέος χρήσιμος τρόπος για την αναπαράσταση οποιασδήποτε από τις 16 συναρτήσεις Boole δύο μεταβλητών. Στον επόμενο πίνακα παρουσιάζεται το παράδειγμα, όπου η συνάρτηση $x \cdot y$ φαίνεται στο πίνακα (α).

Αφού το xy ισούται με m_3 , βάζουμε έναν άσσο στο τετράγωνο που ανήκει στο m_3 . Όμοια, η συνάρτηση $x+y$ αναπαριστάται στον χάρτη του πίνακα (β) με τρία τετράγωνα που σημειώνονται με 1. Αυτά τα τετράγωνα βρίσκονται από τους ελαχιστόρους της συνάρτησης:

$$x + y = x'y + xy' + xy = m_1 + m_2 + m_3$$

		y	
		0	1
x	0		
	1		1

Πίνακας (α)

		y	
		0	1
x	0		1
	1	1	1

Πίνακας (β)

Παραδείγματα Ψηφιακών Συναρτήσεων με χρήση πίνακα Karnaugh

		A	
		0	1
B	0	1	0
	1	0	0

$$f(A,B) = E(1)$$

$$K = A'B'$$

$$K' = A + B$$

		A	
		0	1
B	0	0	0
	1	0	1

$$f(A,B) = E(4)$$

$$K = AB$$

$$K' = A' + B'$$

Απλοποίηση Συναρτήσεων Boole

Η απλοποίηση των συναρτήσεων με τη χρήση του χάρτη στηρίζεται στην βασική ιδιότητα των γειτονικών τετραγώνων. Οποιαδήποτε δύο γειτονικά τετράγωνα στο χάρτη διαφέρουν κατά μία μόνο μεταβλητή, η οποία εμφανίζεται σαν συμπλήρωμα της στο ένα τετράγωνο και με την πραγματική τιμή της στο άλλο. Για παράδειγμα τα m_5 και m_7 βρίσκονται σε δύο γειτονικά τετράγωνα. Η μεταβλητή y είναι με το συμπλήρωμα της στο m_5 και με την πραγματική της τιμή στο m_7 , ενώ οι δύο άλλες μεταβλητές είναι ίδιες και στα δύο τετράγωνα. Από τα αξιώματα της άλγεβρας Boole έπεται ότι το άθροισμα των

δύο ελαχιστόρων σε γειτονικά τετράγωνα μπορεί να απλοποιηθεί σε έναν όρο ΚΑΙ με δύο μόνο παράγοντες.

Έστω ότι θεωρούμε δύο τετράγωνα που διαφέρουν στη μεταβλητή y , η οποία μπορεί να απαλειφθεί στον τύπο του αθροίσματος ελαχιστόρων. Έτσι, οποιοιδήποτε δύο ελαχιστόροι σε γειτονικά τετράγωνα που σχετίζονται μεταξύ τους με τη λογική πράξη OR, δικαιολογούν μια απομάκρυνση της διαφορετικής μεταβλητής.

				y			
				yz			
				x	00	01	11 10
m0	m1	m3	m2	0	$x'y'z'$	$x'y'z$	$x'yz$ $x'yz'$
m4	m5	m7	m6	x { 1	$xy'z'$	$xy'z$	xyz xyz'
				z			

Μεθοδολογία Βελτιστοποίησης με την χρήση πίνακα Karnaugh

Βήμα 1. Μεταφέρουμε τον πίνακα αληθείας μιας συνάρτησης Boole ή ενός κυκλώματος ψηφιακής λογικής στον πίνακα Karnaugh.

Εναλλακτικά, μετατρέπουμε την συνάρτηση Boole σαν μια σειρά από πράξεις OR (+) που κάθε παράγοντας αποτελείται από πράξεις AND που περιλαμβάνουν όλες τις εισόδους. Κάθε παράγοντας αποτελεί έναν ελαχιστόρο του πίνακα Karnaugh. Αντιστοιχούμε τους παράγοντες με τις αντίστοιχες θέσεις στον πίνακα Karnaugh.

Βήμα 2. Στον πίνακα Karnaugh κυκλώνω τις θέσεις εκείνες που έχουν άσσους και δεν έχουν άλλους γειτονικούς άσσους γύρω τους (απομονωμένοι όροι).

Βήμα 3. Στον πίνακα Karnaugh, κυκλώνω τις θέσεις εκείνες που έχουν ζευγάρια από γειτονικούς άσσους.

Βήμα 4. Στον πίνακα Karnaugh, κυκλώνω τις θέσεις εκείνες που έχουν το μεγαλύτερο αριθμό από γειτονικούς άσσους (το πλήθος πρέπει να είναι δύναμη του 2). Στη συνέχεια κυκλώνω τις θέσεις έχουν το αμέσως μικρότερο αριθμό (σε δύναμη του 2) από γειτονικούς άσσους κτλ. μέχρι όλες οι θέσεις του πίνακα που έχουν άσσους να είναι σε κάποια ομάδα (είτε απομονωμένοι όροι είτε σε ομάδα γειτονικών θέσεων).

Βήμα 5. Σχηματίζω τους παράγοντες OR πράξεων που αντιστοιχούν σε κάθε ομάδα με άσσους.

Προσοχή: Επιλέγω πάντα να ομαδοποιώ τους όρους που έχουν το μεγαλύτερο αριθμό γειτονικών άσσεων.

Παράδειγμα.

A	B	C	D	g
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Πίνακας Αληθείας g

	A'B'	A'B	AB	AB'
	00	01	11	10
C'D'	1	0	0	0
C'D	1	0	1	0
CD	1	0	1	1
CD'	1	0	1	1

Αρχική μη βέλτιστη ομαδοποίηση
 ABC'D
 A'B'
 AC

	A'B'	A'B	AB	AB'
	00	01	11	10
C'D'	1	0	0	0
C'D	1	0	1	0
CD	1	0	1	1
CD'	1	0	1	1

Διαφορετική Βέλτιστη ομαδοποίηση
 ABD
 A'B'
 AC

Ενέργειες Άσκησης 5

Μέρος Α :

Για την συνάρτηση $F1(x,y,z)$:

$$F1(x,y,z) = X + Y + (YZ) + (XZ')(X' + Z)$$

Να σχεδιάσετε το κύκλωμα ψηφιακής λογικής που περιγράφει η παραπάνω συνάρτηση $F1$ χρησιμοποιώντας πύλες τύπου AND, OR, NOT και να συμπληρωθεί ο πίνακας αληθείας του.

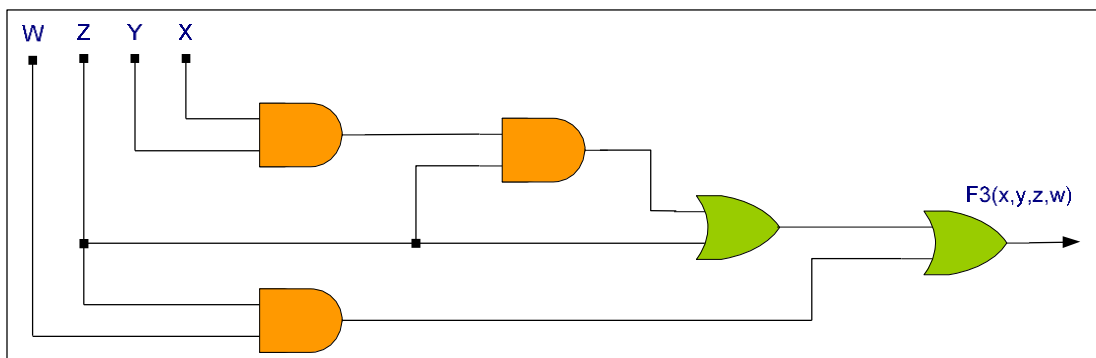
X	Y	Z	$F1(x,y,z)$
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Χρησιμοποιώντας τον πίνακα Karnaugh να απλοποιήσετε την παραπάνω συνάρτηση. Ποία είναι η απλοποιημένη συνάρτηση $F2$ που προκύπτει και ποιο το νέο κύκλωμα ψηφιακής λογικής;

$F2(x,y,z) =$

Μέρος Β :

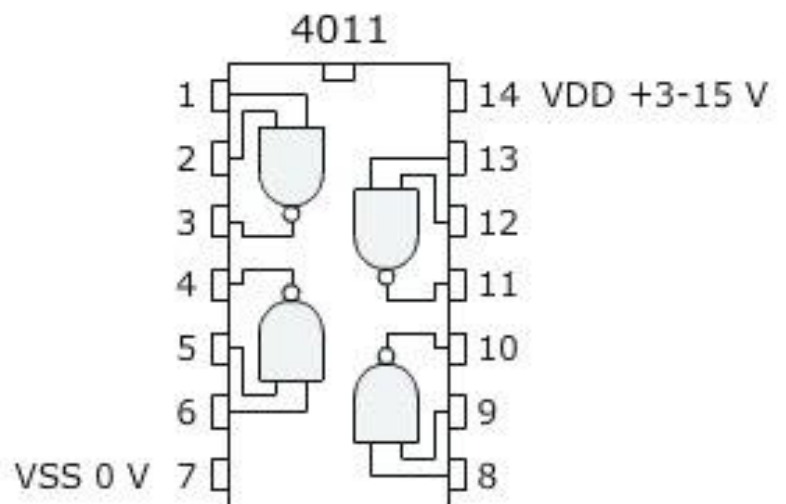
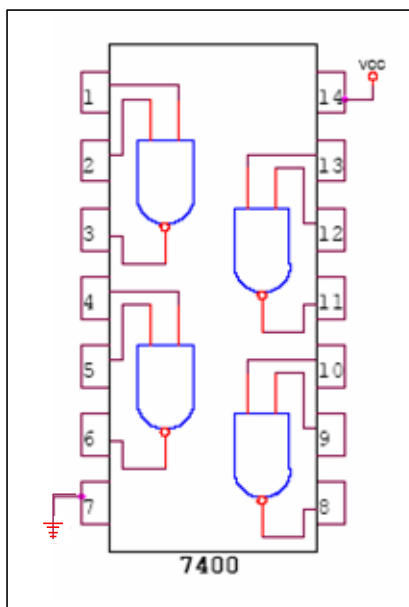
Δίνεται το λογικό κύκλωμα της συνάρτησης $F3(x,y,z)$ του ακόλουθου σχήματος:



Να γραφεί η συνάρτηση Boole για το παραπάνω κύκλωμα και να συμπληρωθεί ο πίνακας αληθείας του:

X	Y	Z	W	$F3$

Να βελτιστοποιηθεί το παραπάνω κύκλωμα με τη χρήση πίνακα Karnaugh, να γραφεί η νέα συνάρτηση Boole για το κυκλωμα αυτό και να κατασκευαστεί το κύκλωμα με την χρήση μόνο πυλών NAND χρησιμοποιώντας τα ολοκληρωμένα 7400 ή 4011.



Εργαστηριακή Άσκηση 6: «Αριθμητικές Πράξεις – Κύκλωμα Ημι-Αθροιστή Πλήρους Αθροιστή»

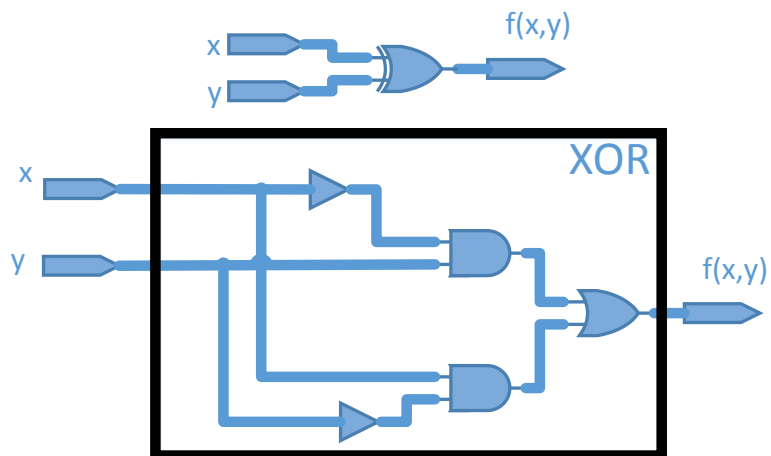
Σκοπός της Εργαστηριακής Άσκησης

Σκοπός της εργαστηριακής άσκησης είναι η εξοικείωση του φοιτητή με τα κυκλώματα αθροιστή. Στους σύγχρονους επεξεργαστές, οι οποίοι είναι η καρδιά των ηλεκτρονικών υπολογιστών, όλες οι πράξεις εκτελούνται με την χρήση μόνο κυκλωμάτων αθροιστών. Αντικείμενο της άσκησης αυτής είναι η υλοποίηση της αριθμητικής πράξης της πρόσθεσης με την χρήση κυκλωμάτων αθροιστών.

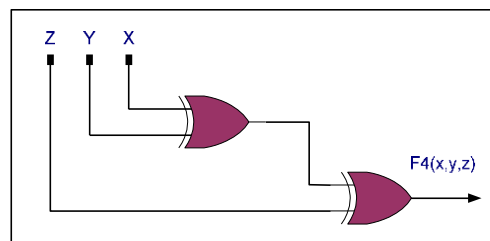
Η πύλη XOR

Μια από τις πιο χρήσιμες πύλες οι οποίες μπορούν να κατασκευαστούν από τις βασικές πύλες AND, OR, NOT (ή εναλλακτικά NAND, NOR) είναι η πύλη XOR. Η συνάρτηση Boole που χαρακτηρίζει αυτήν την πύλη είναι η $F(x,y) = x' \cdot y + x \cdot y'$. Η πύλη αυτή είναι προσεταιριστική και αντιμεταθετική. Αυτό συνεπάγεται ότι μπορούμε να υλοποιήσουμε πύλες XOR περισσότερων εισόδων (μμεταβλητών) με απλούστερες πύλες XOR (μικρότερου αριθμού εισόδων). Η εφαρμογή αυτών των πυλών είναι ευρεία για το λόγο ότι κυκλώματα αριθμητικών πράξεων μπορούν να υλοποιηθούν εύκολα με τέτοιου είδους πύλες.

X	Y	F
0	0	0
0	1	1
1	0	1
1	1	0



Πύλη XOR με βασικές πύλες AND, NOT, OR



Πύλη XOR 3 εισόδων

Άθροιση Αριθμών

Η άθροιση των αριθμών με βάση τα ψηφιακά κυκλώματα γίνεται με τον ίδιο τρόπο, που πραγματοποιείται και στο δεκαδικό σύστημα. Η ουσιαστική διαφορά είναι στα ψηφιακά κυκλώματα αθροίζονται δυαδικοί αριθμοί. Για το λόγο αυτό ορίζονται οι στοιχειώδεις πράξεις άθροισης μεταξύ μονοψηφίων δυαδικών αριθμών (bit), όπως φαίνεται παρακάτω.

A	0		0		1		1	3
	+		+		+		+	+
B	0		1		0		1	5
Carry - Sum	0	0		0	1		0	1

Όπως μπορούμε να παρατηρήσουμε, στην πράξη της άθροισης σε κάθε περίπτωση έχουμε δύο εξόδους, το άθροισμα S (Sum) και το κρατούμενο C (Carry). Το άθροισμα είναι το δεξί δυαδικό ψηφίο και το κρατούμενο είναι το αριστερό. Συνεπώς, σαν αρχικά αποτελέσματα της δυαδικής πρόσθεσης προκύπτουν 2 δυαδικοί αριθμοί το S και C τα οποία πρέπει να συνδυαστούν με κάποιον μεταξύ τους για να έχουμε σωστό αριθμητικό άθροισμα. Αυτός ο συνδυασμός μπορεί να γίνει αν προσθέσουμε δυαδικά το κάθε bit του C με το επόμενο στην σειρά bit του S μέχρι το C να είναι 0, όπως φαίνεται στο παρακάτω παράδειγμα:

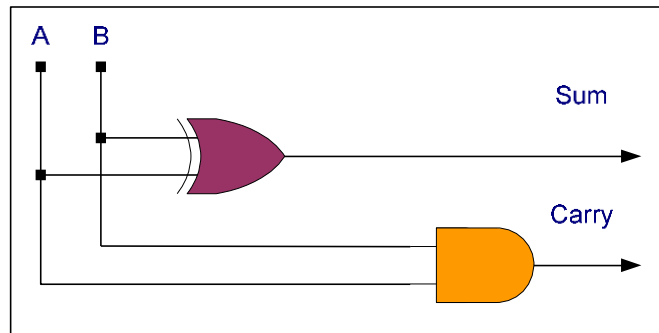
A	0		0		1		1	3
	+		+		+		+	+
B	0		1		0		1	5
Carry - Sum	0	0		0	1		0	1
		+		+		+		
		0		0		1		
Carry - Sum	0	0		0	1		1	0
		+		+				
		0		0		1		0
Carry - Sum	0	0		1	0		0	0
		+						
		1						
Carry - Sum	0	1		0		0		0

Αυτό που μπορεί να παρατηρηθεί από το παραπάνω παράδειγμα αν συνδυαστεί με τον πίνακα αληθείας μιας πύλης XOR είναι ότι τελικά το αποτέλεσμα του Sum μπορεί να δοθεί από μια πράξη XOR, εφόσον αγνοήσουμε προηγούμενο κρατούμενο Carry.

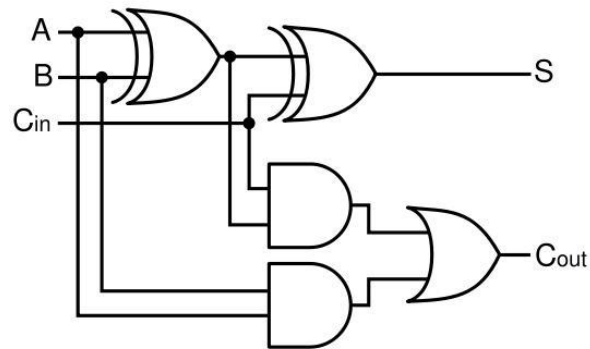
Ημιαθροιστής και Πλήρης Αθροιστής (Full-Adder)

Ο ημιαθροιστής (Half-Adder) αποτελεί το στοιχειώδες κύκλωμα άθροισης μονοψηφίων δυαδικών αριθμών. Το μεγαλύτερο μειονέκτημα του είναι ότι δεν λαμβάνει υπ' όψιν το κρατούμενο από την προηγούμενη πράξη, το οποίο πρέπει να αθροιστεί με το επόμενο άθροισμα. Επομένως το κύκλωμα του ημιαθροιστή δεν μπορεί να χρησιμοποιηθεί για την ολοκληρωμένη πρόσθεση δυαδικών αριθμών.

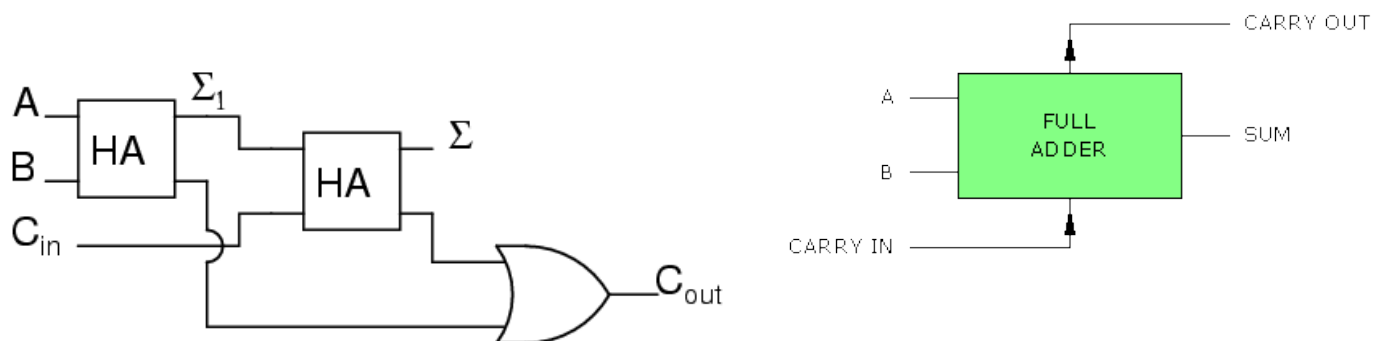
Το κύκλωμα ενός ημιαθροιστή είναι το παρακάτω και περιλαμβάνει μια XOR πύλη ώστε να υπολογίζεται το άθροισμα δύο αριθμών ενός bit και μια AND πύλη ώστε να προβλέπεται το κρατούμενο από την άθροιση αυτή.



Ο πλήρης αθροιστής (Full-Adder) λαμβάνει υπ' όψιν το κρατούμενο των προηγούμενων πράξεων και επομένως υλοποιεί οποιαδήποτε περίπτωση άθροισης δυαδικών αριθμών.



Πλήρης Αθροιστής ενός bit.



Πλήρης αθροιστής κατασκευασμένος από 2 Ημιαθροιστές

Ενέργειες Άσκησης 6

Μέρος Α :

Η πράξη **XOR** είναι μία από τις βασικές πράξεις της άλγεβρας Boole. Ο πίνακας αληθείας της πράξης X-OR θα προκύψει από μία μόνο πύλη και όχι ως σχεδιασμός περισσότερων πυλών. Να σχεδιάσετε και να υλοποιήσετε χρησιμοποιώντας πύλες AND OR NOT μια πύλη XOR τριών εισόδων και συμπληρώστε τον αντίστοιχο πίνακα αληθείας.

<i>X</i>	<i>Y</i>	<i>Z</i>	<i>F1(x,y,z)=x xor y xor z</i>
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Μέρος Β :

Να γίνει άθροιση δυο αριθμών A και B που ο καθένας είναι 2 bit ώστε να προκύψουν ένα 2 bit αποτέλεσμα Carry και Sum. Να συμπληρωθεί ο πίνακας αληθείας

<i>X[0]</i>	<i>X[1]</i>	<i>Y[0]</i>	<i>Y[1]</i>	carry	sum
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

Να συμπληρώσετε τον πίνακα αληθείας ενός πλήρους αθροιστή

<i>A</i>	<i>B</i>	<i>C0</i>	Σ	<i>Cout</i>

Να υλοποιηθεί το κύκλωμα ενός πλήρους αθροιστή 1 bit και να μετρήσετε τα αποτελέσματα της εξόδου Cout και S για τις εξής εισόδους

Αριθμός A	1	0	0	1
Αριθμός B	0	1	1	1
Carry				
Sum				

Εργαστηριακή Άσκηση 7 «Απλά Ψηφιακά Κυκλώματα Αθροιστών»

Σκοπός της Εργαστηριακής Άσκησης

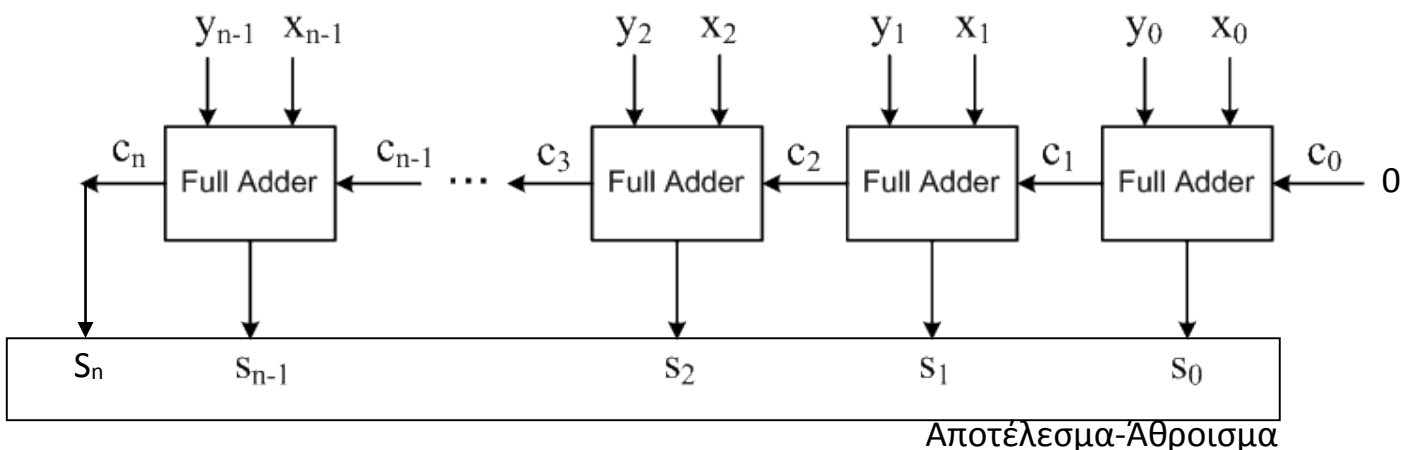
Ο σκοπός αυτής της εργαστηριακής άσκησης είναι η περαιτέρω εξοικείωση του φοιτητή με κυκλώματα που πραγματοποιούν μια πρόσθεση μεταξύ δύο n -bit αριθμών. Το αποτέλεσμα μιας τέτοιας πρόσθεσης δεν είναι ένα Carry και ένα Sum αλλά ένας $n+1$ bit αριθμός. Στην άσκηση αυτή πρόκειται να υλοποιηθεί ένας από τους πιο βασικούς αθροιστές, ο αθροιστής κυμάτωσης κρατουμένου.

Κανονική Άθροιση με τη Χρήση Πλήρους Αθροιστών

Εφόσον επιθυμούμε να κάνουμε μια κανονική αριθμητική πρόσθεση δύο n bit αριθμών ώστε να πάρουμε το $n+1$ bit άθροισμά τους πρέπει να διατάξουμε n πλήρεις αθροιστές σε μια δομή που το κρατούμενο που προκύπτει από τον κάθε τέτοιο αθροιστή να χρησιμοποιείται με τέτοιο τρόπο ώστε να συνεισφέρει σωστά στο τελικό αποτέλεσμα .

Ο πιο απλός τρόπος να συνδυάσουμε πλήρεις αθροιστές (του 1 bit) ώστε να πραγματοποιήσουμε μια n -bit άθροιση είναι να αντιστοιχίσουμε έναν πλήρη αθροιστή για κάθε bit των αριθμών που προσθέτουμε και το κρατούμενο Cout που προκύπτει σαν έξοδος του κάθε πλήρη αθροιστή να το χρησιμοποιήσω σαν είσοδο carry στον πλήρη αθροιστή του επόμενου bit. Το πρώτο carry bit (η είσοδος carry του πρώτου πλήρη αθροιστή (για το bit 0)) θα είναι 0 και το τελευταίο Cout (η έξοδος Cout του τελευταίου πλήρη αθροιστή (για το bit n)) θα είναι το $n+1$ bit του αποτελέσματος. Ο n -bit αθροιστής που προκύπτει από την παραπάνω μεθοδολογία λέγεται αθροιστής κυμάτωσης κρατουμένου (ripple carry adder)

Η υλοποίηση με την χρήση κυκλωμάτων 1bit πλήρους αθροιστή ενός n bit αθροιστή φαίνεται παρακάτω:



Ενέργειες Άσκησης 7

Να σχεδιαστεί και να υλοποιηθεί ένας αθροιστής κυμάτων κρατουμένου 4 bit. Για το σκοπό αυτό θα χρησιμοποιηθούν 4 πλήρης αθροιστές του 1 bit ή 2 αθροιστές των 2 bit που βρίσκονται στα ολοκληρωμένα 74LS80 ή 74LS82. Εναλλακτικά μπορούν να κατασκευαστούν οι πλήρης αθροιστές με τη χρήση πυλών NAND OR, XOR χρησιμοποιώντας τα ολοκληρωμένα 74LS08, 74LS32, 74LS86

Αφού υλοποιηθεί το κύκλωμα να γίνει άθροιση των αριθμών $A = [1011]$ και $B = [0101]$ και να βρεθεί-επιβεβαιωθεί το αποτέλεσμα.

Εργαστηριακή Άσκηση 8: «Αριθμητικές Πράξεις – Κυκλώματα Αφαιρέτη»

Σκοπός της Εργαστηριακής Άσκησης

Ο σκοπός αυτής της εργαστηριακής άσκησης είναι η εξοικείωση του φοιτητή με τα κυκλώματα του αφαιρέτη. Στους σύγχρονους επεξεργαστές, οι οποίοι αποτελούν την καρδιά των υπολογιστών, όλες οι πράξεις εκτελούνται με την χρήση μόνο κυκλωμάτων αθροιστή. Σκοπός της εργαστηριακής άσκησης αυτής είναι η υλοποίηση της πράξης της αφαίρεσης με τη χρήση κυκλωμάτων αθροιστή και συγκεκριμένων αλγορίθμων.

Αφαίρεση Αριθμών

Η πράξη της αφαίρεσης είναι η συμπληρωματική πράξη της πρόσθεσης, δηλαδή η αφαίρεση είναι η άθροιση του αντιθέτου. Επομένως βασική προϋπόθεση για να ορίσουμε την πράξη της αφαίρεσης είναι η ύπαρξη αντιθέτου αριθμού στην χρησιμοποιούμενη άλγεβρα. Με τα θεωρήματα της άλγεβρας Boole αποδεικνύεται ότι υπάρχει ο αντίθετος. Βέβαια η άλγεβρα Boole έχει σημαντικές διαφορές από την ευρέως άλγεβρα των μαθηματικών. Για το λόγο αυτό υπάρχουν κάποιες μικρές αλλαγές στον αλγόριθμο υλοποίησης.

Για να αφαιρέσουμε δύο αριθμούς αντιστρέφουμε όλα τα ψηφία του αφαιρετέου, προσθέτουμε τον αφαιρετέο στον αφαιρέτη και θέτουμε ως αρχικό κρατούμενο ίσο με την μονάδα, αντί για μηδέν. Επίσης, αγνούμε το τελευταίο κρατούμενο.

Για παράδειγμα για να πραγματοποιηθεί η πράξη της αφαίρεσης του αριθμού $B = 0110$ από τον αριθμό $A = 1011$ ακολουθούμε την εξής διαδικασία :

Αντιστρέφω το B και κάνω πρόσθεση αντί για αφαίρεση	A	1		0		1		1
	B	0		1		1		0
	A	1		0		1		1
	B'	1		0		0		1
	Cout - S	1	0	0	0	0	1	1
		+		+		+		+
Το τελικό Κρατούμενο απορρίπτεται		1		0		1		1
	Cout - S	0	0	0	0	1	0	1
		+		+				
		0		1				
	Cout - S	0	0	1		0		1

Αρχικό Κρατούμενο πάντα 1

Επομένως το αποτέλεσμα της πράξης είναι ίσο με $1011 (A) - 0110 (B) = 0101$

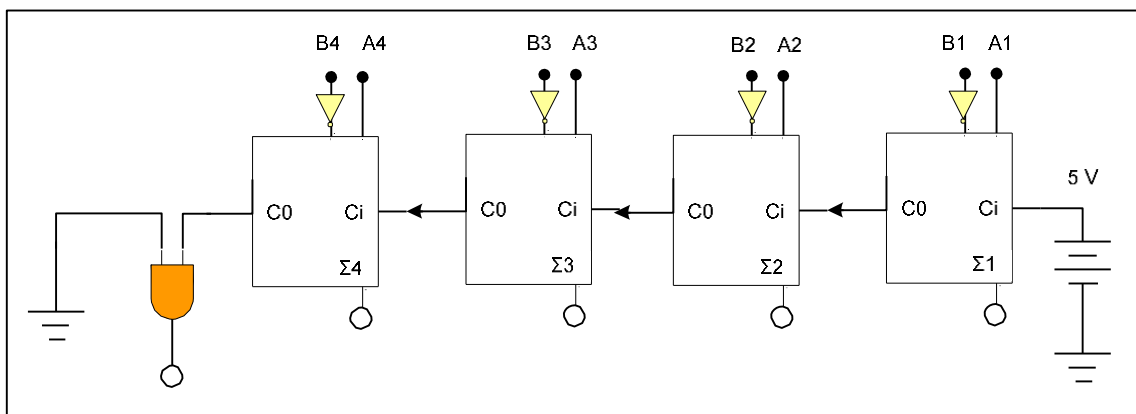
Ενέργειες Άσκησης 8

Μέρος Α :

Να χρησιμοποιήσετε και τροποποιήσετε την δομή του 4 bit αθροιστή κυμάτων κρατούμενου ώστε να πραγματοποιεί αφαίρεση αντί για πρόσθεση. Θα πρέπει να τοποθετηθούν κατάλληλα πύλες NOT ώστε να αντιστρέφεται ο αφαιρέτης και να γίνεται 1 το αρχικό κρατούμενο εισόδου.

Πως θα γίνει το τελικό κρατούμενο εξόδου πάντα μηδέν (δεν πρέπει να βρίσκεται ασύνδετο);

Να υλοποιήσετε το ψηφιακό κύκλωμα αφαιρέτη που σχεδιάσατε χρησιμοποιώντας ολοκληρωμένα πλήρους αθροιστή και να πραγματοποιήσετε την αφαίρεση $A_4A_3A_2A_1 = 1000$ και $B_4B_3B_2B_1 = 0101$. Ποιο είναι το αποτέλεσμα της αφαίρεσης αυτής;



Σχήμα 31: Κύκλωμα Αφαίρεσης A , B

Μέρος Β (Κύκλωμα Αθροιστή-Αφαιρέτη):

Ζητείται να σχεδιαστεί ένα κύκλωμα πυλών που να πραγματοποιεί επιλεκτικά την πράξη της 4 bit πρόσθεσης ή την πράξη της 4 bit αφαίρεσης μεταξύ δύο αριθμών βάζοντας λογικό 0 ή λογικό 1 αντίστοιχα σε ένα σήμα ελέγχου.

Ποιες αλλαγές θα πρέπει να γίνουν στο κύκλωμα του αθροιστή ή του αφαιρέτη ώστε να επιτελούν και τις δύο πράξεις. Πως πρέπει να συνδεθεί το σήμα ελέγχου.

Βοήθεια: Παρατηρήστε τον πίνακα αληθείας της πύλης XOR. Επισημαίνεται ότι αν μια είσοδος της πύλης XOR έχει λογικό 1 τότε ότι τιμή και να βάλω στην άλλη είσοδο της, η έξοδος της πύλης XOR θα έχει την αντίθετη τιμή. Αντίστοιχα, αν η μια είσοδος της πύλης XOR είναι πάντα στο λογικό 0 τότε η έξοδος της πύλης XOR είναι ίδια με την άλλη είσοδο της XOR.

Να υλοποιήσετε το κύκλωμα που σχεδιάσατε και να πραγματοποιήσετε τις πράξεις:

Αριθμός A (4 bit)	1011	+	1100	-	0101	+
Αριθμός B (4 bit)	1101		0110		0011	
Αποτέλεσμα						

Εργαστηριακή Άσκηση 9: «Αριθμητικές Πράξεις – Κυκλώματα Πολλαπλασιαστή»

Σκοπός της Εργαστηριακής Άσκησης

Ο σκοπός της παρούσας εργαστηριακής άσκησης είναι η εξοικείωση του φοιτητή με τα κυκλώματα των πολλαπλασιαστών. Αναλυτικότερα, αντικείμενο της άσκησης είναι η μελέτη της υλοποίησης της πράξης του πολλαπλασιασμού με την χρήση αθροιστών και συγκεκριμένων αλγορίθμων.

Η πράξη του πολλαπλασιασμού στα ψηφιακά κυκλώματα

Ο πολλαπλασιασμός δύο αριθμών στα ψηφιακά κυκλώματα (δυναμικό σύστημα) πραγματοποιείται με τον ίδιο τρόπο που γίνεται στο δεκαδικό σύστημα. Ένα παράδειγμα πολλαπλασιασμού δύο αριθμών στο δυαδικό σύστημα δίνεται στον ακόλουθο πίνακα:

A	0 x		0 x		1 x		1 x
B	0		1		0		1
C	0		0		0		1

Όπως μπορούμε να παρατηρήσουμε η πράξη του πολλαπλασιασμού δύο ψηφίων (bit) έχει το ίδιο αποτέλεσμα με την λογική πύλη AND δύο εισόδων. Επομένως εάν πολλαπλασιάσω δύο μονοψήφιους δυαδικούς αριθμούς, τότε μπορούμε να εκτελέσουμε την πράξη AND μεταξύ των αντιστοίχων ψηφίων του πολλαπλασιαστέου και του πολλαπλασιαστή.

Για να υλοποιήσουμε την πράξη του πολλαπλασιασμού μεταξύ δύο διψήφιων (bit) λέξεων (words), $A = \{A_2A_1\}$ και $B = \{B_2B_1\}$, δημιουργούμε έναν πίνακα αληθείας με εισόδους τις δύο λέξεις και έξοδο το αποτέλεσμα $C = \{C_4C_3C_2C_1\}$ που προκύπτει σε δυαδική μορφή.

Κάθε στήλη της εξόδου (C1, C2, C3, C4) αποτελεί μία συνάρτηση εξόδου ενός συνδυαστικού κυκλώματος. Εκτελώντας την ελαχιστοποίηση κάθε στήλης βάσει πινάκων Karnaugh προκύπτουν οι παρακάτω ελαχιστοποιημένες συναρτήσεις:

$$C_4 = A_2 A_1 B_2 B_1$$

$$C_3 = A_2 B_2 (A_1 B_1)'$$

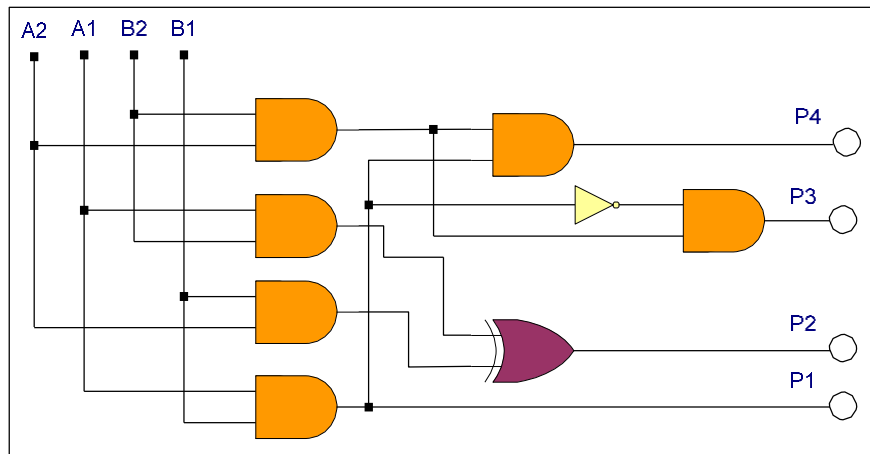
$$C_2 = A_2 B_1 \oplus A_1 B_2$$

$$C_1 = A_1 B_1$$

Δεκαδική Αναπαράσταση Αριθμών $A \times B = C$	ΕΙΣΟΔΟΙ				ΕΞΟΔΟΣ			
	A		B		C			
	A2	A1	B2	B1	C4	C3	C2	C1
0 x 0 = 0	0	0	0	0	0	0	0	0
0 x 1 = 0	0	0	0	1	0	0	0	0
0 x 2 = 0	0	0	1	0	0	0	0	0
0 x 3 = 0	0	0	1	1	0	0	0	0
1 x 0 = 0	0	1	0	0	0	0	0	0
1 x 1 = 1	0	1	0	1	0	0	0	1
1 x 2 = 2	0	1	1	0	0	0	1	0
1 x 3 = 3	0	1	1	1	0	0	1	1
2 x 0 = 0	1	0	0	0	0	0	0	0
2 x 1 = 2	1	0	0	1	0	0	1	0
2 x 2 = 4	1	0	1	0	0	1	0	0
2 x 3 = 6	1	0	1	1	0	1	1	0
3 x 0 = 0	1	1	0	0	0	0	0	0
3 x 1 = 3	1	1	0	1	0	0	1	1
3 x 2 = 6	1	1	1	0	0	1	1	0
3 x 3 = 9	1	1	1	1	1	0	0	1

Ενέργειες Άσκησης 9

Να υλοποιηθεί το κύκλωμα του παρακάτω σχήματος που πραγματοποιεί πολλαπλασιασμό 2 bit με βάση τις συναρτήσεις Boole για τα C1, C2, C3, C4 όπως προέκυψαν από την παραπάνω ανάλυση αυτής της άσκησης:



Να εκτελέσετε τον πολλαπλασιασμό των παρακάτω αριθμών με χρήση του παραπάνω κυκλώματος. Ποιο είναι το αποτέλεσμα σε κάθε μία από τις περιπτώσεις;

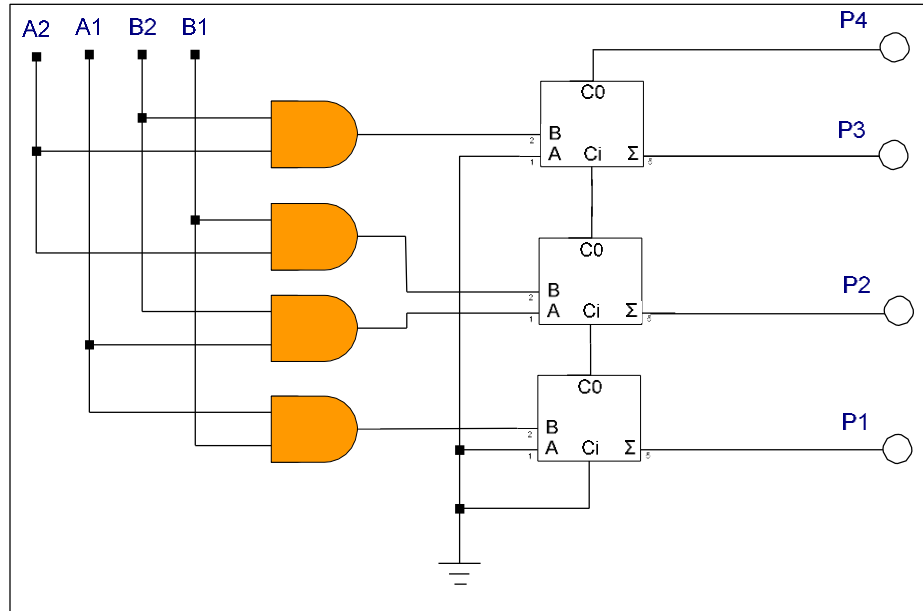
- $10 \times 00 =$
- $11 \times 10 =$
- $11 \times 11 =$

Ο παραπάνω τρόπος υλοποίησης της πράξης του πολλαπλασιασμού είναι δύσχρηστος διότι εάν θέλουμε να πολλαπλασιάσουμε δύο αριθμούς N ψηφίων θα θέλαμε έναν πίνακα Karnaugh N x N θέσεων. Όπως προαναφέρθηκε οι μαθηματικές πράξεις μπορούν να υλοποιηθούν με τη χρήση κυκλωμάτων αθροιστή. Σαν παράδειγμα θα υλοποιηθούν με τη χρήση κυκλωμάτων αθροιστών ο πολλαπλασιασμός δύο διψήφιων δυαδικών αριθμών.

Πολλαπλασιαστέος Πολλαπλασιαστής		A2 B2	A1 B1	X
	0	(A2·B1)	(A1·B1)	
	(B2·A2)	(B2·A1)	0	
	S2 =(B2·A2)	S1=(A2·B1) + (B2·A1)	S0 =(A1·B1)	

Ο αλγόριθμος που χρησιμοποιείται είναι ο ίδιος με τον αλγόριθμο του πολλαπλασιασμού δεκαδικών αριθμών. Στο συγκεκριμένο παραπάνω παράδειγμα χρειαζόμαστε τρία κυκλώματα αθροιστή.

Να υλοποιηθεί το κύκλωμα του παρακάτω σχήματος χρησιμοποιώντας τα ολοκληρωμένα 74LS80 και 7408:



Να εκτελέσετε τον πολλαπλασιασμό των παρακάτω αριθμών με χρήση του παραπάνω κυκλώματος. Ποιο είναι το αποτέλεσμα σε κάθε μία από τις περιπτώσεις;

- $11 \times 00 =$
- $10 \times 10 =$
- $01 \times 01 =$

Το παραπάνω κύκλωμα είναι ευκολότερο ως προς την υλοποίηση του, σε σύγκριση με το πρώτο που μελετήθηκε, διότι βασίζεται σε κυκλώματα αθροιστών και επομένως μπορεί να εκτελέσει σπονδυλωτά πολλαπλασιασμό αριθμών ανεξάρτητα από το πλήθος των ψηφίων τους.

Εργαστηριακή Άσκηση 10: «Σύνθετα Συνδυαστικά Κυκλώματα – Κυκλώματα Κωδικοποιητή»

Σκοπός της Εργαστηριακής Άσκησης

Σκοπός της εργαστηριακής άσκησης είναι η εξοικείωση του φοιτητή με σύνθετα συνδυαστικά κυκλώματα. Ιδιαίτερο ενδιαφέρον παρουσιάζουν στα σύγχρονα ψηφιακά κυκλώματα τα κυκλώματα των κωδικοποιητών. Οι κωδικοποιητές χρησιμοποιούνται σε εφαρμογές όπως οδήγηση συγκεκριμένων κυκλωμάτων αναλόγως με την έξοδο κάποιου κυκλώματος οδηγού. Επίσης ευρεία εφαρμογή βρίσκουν στην κεντρική μνήμη του υπολογιστή, ενεργοποιώντας συγκεκριμένα τμήματα της, βάσει των διευθύνσεων που λαμβάνει.

Αποκωδικοποιητής: Σύντομη Περιγραφή και Λειτουργία

Ο αποκωδικοποιητής m σε n είναι ένα κύκλωμα που έχει m -εισόδους και n -εξόδους, με $n > m$ με τέτοια σχέση ώστε $n < 2^m$. Επίσης έχει μία επιπλέον είσοδο E η οποία ενεργοποιεί την λειτουργία του αποκωδικοποιητή.

Ένας πλήρης αποκωδικοποιητής m σε n όπου $n = 2^m$ παράγει στην ουσία n ελαχιστόρους των m μεταβλητών εισόδου. Ως παράδειγμα χρήσης σε αυτό το εργαστήριο πρόκειται να μελετηθεί το στοιχειώδες στοιχείο ενός τέτοιου αποκωδικοποιητή, ο αποκωδικοποιητής 2 σε 4.

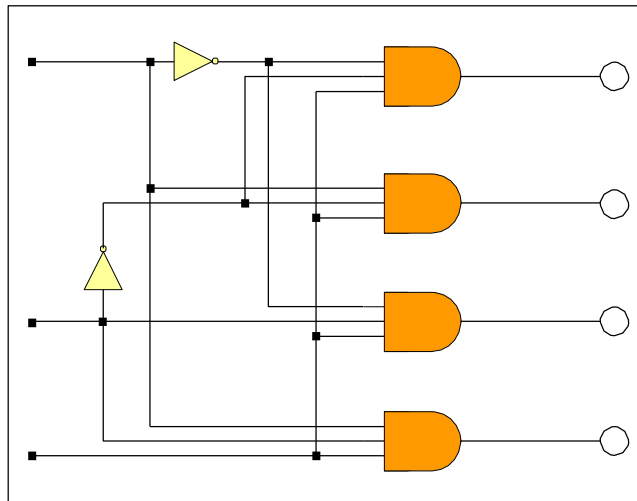
Ο πίνακας αληθείας του αποκωδικοποιητή έχει τρεις εισόδους (τις δύο εισόδους A , B , και την είσοδο ενεργοποίησης του αποκωδικοποιητή E) και τέσσερις εξόδους $D0$, $D1$, $D2$, $D3$. Η είσοδος E ενεργοποιεί τον αποκωδικοποιητή όταν έχει την τιμή λογικό "1". Επομένως σε ένα τέτοιο κύκλωμα ο πίνακας αληθείας είναι ο εξής:

E	A	B	D3	D2	D1	D0
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

Ενέργειες Άσκησης 10

Μέρος Α :

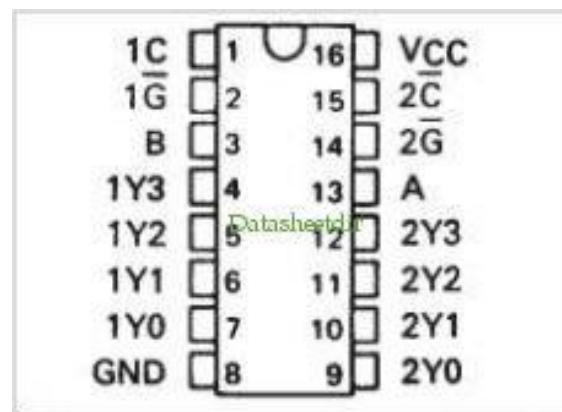
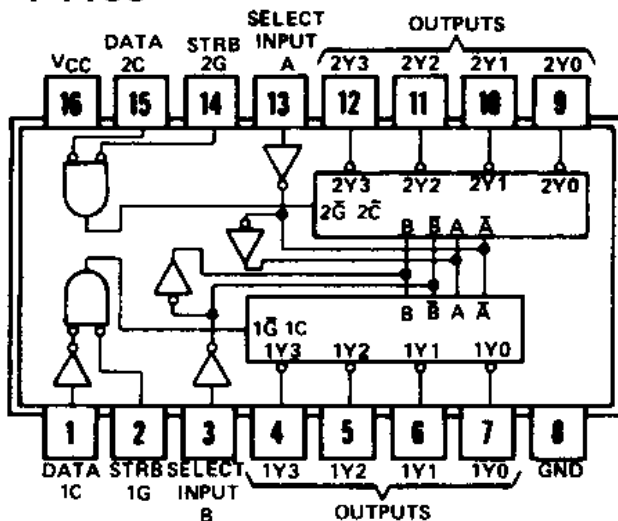
Σε αυτό το μέρος της εργαστηριακής άσκησης θα σχεδιαστεί ένα κύκλωμα το οποίο θα εκτελεί την λειτουργία της αποκωδικοποίησης. Το κύκλωμα του αποκωδικοποιητή 2 σε 4 φαίνεται παρακάτω:



Να υλοποιηθεί αυτό το κύκλωμα χρησιμοποιώντας πύλες AND και πύλες NOT δύο εισόδων με τη χρήση των ολοκληρωμένων 7408 και 7404.

Ιδιαίτερα χρήσιμο είναι και το ολοκληρωμένο που υλοποιεί αποκλειστικά τον διπλό αποκωδικοποιητή/αποπολυπλέκτη Digital/DEC/74155, (Dual 2 to 4 DEC-DEMUX). Το ολοκληρωμένο αυτό φαίνεται στο παρακάτω σχήμα:

74155



Το ολοκληρωμένο 74155 περιλαμβάνει σήματα τα οποία ενεργοποιούνται σε χαμηλή τιμή τάσης (δηλαδή το λογικό 1 είναι στα 0 Volt). Το 74155 έχει 2 αποκωδικοποιητές που πραγματοποιούν να πραγματοποιήσουν αποκωδικοποίηση 2 σε 4. Για το σκοπό αυτό χρησιμοποιούμε τις εισόδους A και B και παίρνουμε έξοδο είτε στα 1Y0, 1Y1, 1Y2, 1Y3 (4 bits για τον αποκωδικοποιητή 1) είτε στα 2Y0, 2Y1, 2Y2, 2Y3 (4 bits για τον αποκωδικοποιητή 2).

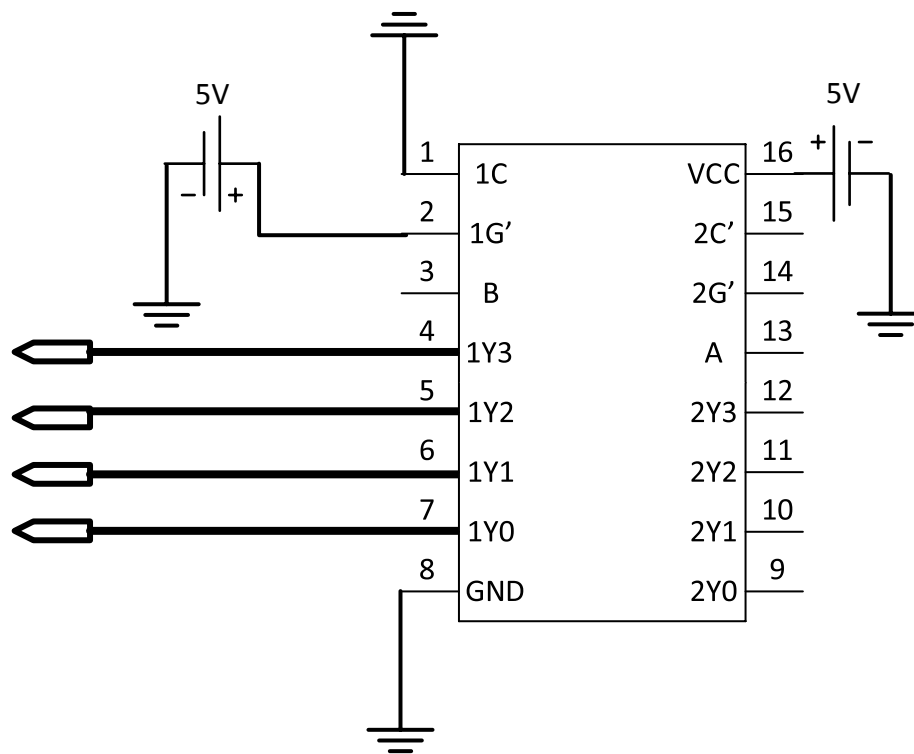
Σήματα πίνακα αληθείας για τον Αποκωδικοποιητή 1 του 74155

Είσοδοι				έξοδοι			
Επιλογή		STROBE 1 $\bar{G}$	DATA 1C	1Y0	1Y1	1Y2	1Y3
B	A						
X	X	1	X	1	1	1	1
0	0	0	1	0	1	1	1
0	1	0	1	1	0	1	1
1	0	0	1	1	1	0	1
1	1	0	1	1	1	1	0
X	X	X	0	1	1	1	1

Σήματα πίνακα αληθείας για τον Αποκωδικοποιητή 2 του 74155

Είσοδοι				έξοδοι			
Επιλογή		STROBE 2 $\bar{G}$	DATA 2C	2Y0	2Y1	2Y2	2Y3
B	A						
X	X	1	X	1	1	1	1
0	0	0	0	0	1	1	1
0	1	0	0	1	0	1	1
1	0	0	0	1	1	0	1
1	1	0	0	1	1	1	0
X	X	X	1	1	1	1	1

Συνεπώς, παρατηρώντας τους πίνακες, φαίνεται ότι ανάλογα με τις τιμές που βάζουμε στα σήματα strobe και data, μπορούμε να δουλέψουμε με τον αποκωδικοποιητή 1 ή τον 2 αλλά και τους δύο μαζί. Εφόσον χρησιμοποιούμε τον αποκωδικοποιητή 1 το κύκλωμα με βάση τους παραπάνω πίνακες θα έχει την παρακάτω μορφή:



Με ένα κύκλωμα αποκωδικοποιητή ελέγχουμε ένα σύστημα από φανάρια μια διασταύρωσης. Έστω ότι υπάρχουν 2 φανάρια, το Φανάρι Α και το Φανάρι Β. Το κάθε φανάρι έχει ΚΟΚΚΙΝΟ (Κ) και ΠΡΑΣΙΝΟ (Π) σηματοδότη. Δίνοντας μια κωδική λέξη στις εισόδους Α και Β τότε θα πρέπει να ενεργοποιούνται τα κατάλληλα φανάρια στην διασταύρωση σύμφωνα με τον παρακάτω πίνακα.

Επιλογή		ΦΑΝΑΡΙΑ
B	A	
0	0	ΚΟΚΚΙΝΟ Α
0	1	ΠΡΑΣΙΝΟ Α
1	0	ΚΟΚΚΙΝΟ Β
1	1	ΠΡΑΣΙΝΟ Β

Να υλοποιήσετε κατάλληλο κύκλωμα που να ελέγχει τα φανάρια της διασταύρωσης. Να εισάγετε τις τέσσερις διαφορετικές επιλογές του παραπάνω πίνακα και να επιβεβαιώσετε την σωστή λειτουργία του συστήματος. Ως φανάρια να χρησιμοποιηθούν κόκκινα και πράσινα LED.

Προσοχή: Επισημαίνεται ότι το 74155 δίνει στις εξόδους του 1 όταν είναι απενεργοποιημένη η έξοδος και μηδέν όταν είναι ενεργοποιημένη (είναι αντίστροφης λογικής).

Μέρος Β :

Ο κωδικοποιητής εκτελεί την αντίθετη λειτουργία από τον αποκωδικοποιητή. Επομένως θα έχουμε τέσσερις εισόδους C0, C1, C2, C3 και δύο εξόδους A, B. Κάθε φορά που θα ενεργοποιείται μία είσοδος θα σχηματίζεται ο αντίστοιχος συνδυασμός του δυαδικού αριθμού στις εξόδους. Επίσης χρησιμοποιούμε και προτεραιότητα ώστε κάθε φορά που έχουμε ενεργοποίηση πολλών εισόδων να επιλέγεται η μεγαλύτερη, σύμφωνα με τον παρακάτω πίνακα:

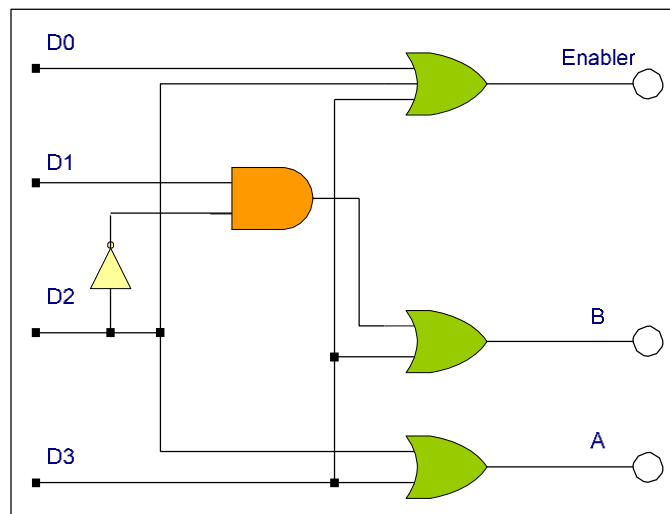
D3	D2	D1	D0	A	B	
0	0	0	0	0	0	μηδέν
0	0	0	1	0	0	μηδέν
0	0	1	0	0	1	ένα
0	0	1	1	0	1	ένα
0	1	0	0	1	0	δύο
0	1	0	1	1	0	δύο
0	1	1	0	1	0	δύο
0	1	1	1	1	0	δύο
1	0	0	0	1	1	τέσσερα
1	0	0	1	1	1	τέσσερα
1	0	1	0	1	1	τέσσερα
1	0	1	1	1	1	τέσσερα
1	1	0	0	1	1	τέσσερα
1	1	0	1	1	1	τέσσερα
1	1	1	0	1	1	τέσσερα
1	1	1	1	1	1	τέσσερα

Μετά από ελαχιστοποίηση προκύπτουν οι ακόλουθες συναρτήσεις:

$$A = D2 + D3$$

$$B = D3 + D2'D1$$

Να σχεδιαστεί το ακόλουθο κύκλωμα. Παρατηρήστε ότι στο κύκλωμα αυτό υπάρχει και μία έξοδος ενημέρωσης, η οποία ενεργοποιείται κάθε φορά που ενεργοποιείται μία από τις εισόδους του κυκλώματος.



Εργαστηριακή Άσκηση 11: «ΣΤΟΙΧΕΙΑ ΜΝΗΜΗΣ FLIP FLOP»

Σκοπός της Εργαστηριακής Άσκησης

Σκοπός της παρούσας εργαστηριακής άσκησης είναι η εξοικείωση του φοιτητή με στοιχεία κυκλώματα μνήμης. Θα μελετηθούν στοιχεία μνήμης ενός ψηφίου. Τα πιο γνωστά στοιχεία μνήμης αυτής της κατηγορίας είναι τα Flip-Flops (FFs) ή αλλιώς μανδαλωτές. Οι διάφοροι τύποι (FFs) έχουν διαφορετικές ιδιότητες και μπορούν να χρησιμοποιηθούν σε διαφορετικές εφαρμογές.

Εισαγωγή στα FLIP-FLOPs (Μανδαλωτές)

Τα πιο απλά κυκλώματα ακολουθιακής λογικής είναι τα κυκλώματα που περιλαμβάνουν Flip Flop. Τα Flip Flop αποτελούν στοιχεία στατικής αποθήκευσης μνήμης δηλαδή διατηρούν μια κατάσταση (την τιμή ενός bit) όσο υπάρχει σε αυτά τροφοδοσία ή μέχρι να πάρει κάποια εντολή εισόδου για αλλαγή κατάστασης. Έχει δύο σταθερές καταστάσεις (που αντιστοιχούν στο λογικό μηδέν και στο λογικό ένα). Οι διάφορες κατηγορίες των FFs διαφέρουν ουσιαστικά στον αριθμό των εισόδων, καθώς επίσης και στον τρόπο που επηρεάζουν οι εισόδοι αυτοί την δυαδική κατάσταση τους. Το flip flop έχει μια ή δύο εισόδους και δύο εξόδους που αναπαριστούν την κατάσταση Q και το αντίστροφο της κατάστασης Q' (συμπλήρωμα ως προς 1). Οι εισόδοι και εξόδοι του flip flop είναι συγχρονισμένοι με ένα σήμα ελέγχου που συνήθως μεταβάλλουμε περιοδικά (το ονομάζουμε είσοδο ρολογιού) το οποίο είναι υπεύθυνο για την αλλαγή κατάστασης. Η διαδικασία της αλλαγής κατάστασης ονομάζεται κα σκανδαλισμός (triggering) και συνήθως γίνεται περιοδικά στο χρόνο δίνοντας επαναλαμβανόμενους τετραγωνικούς παλμούς στην είσοδο ρολογιού (τους ονομάζουμε και παλμούς ρολογιού). Τέλος, τα flip flop έχουν και δύο ασύγχρονες εισόδους (δηλ. εισόδους που δεν είναι συγχρονισμένες με την είσοδο ρολογιού). Οι εισόδοι αυτές είναι το CLEAR (που κάνει την κατάσταση του flip flop λογικό μηδέν) και το PRESET (που κάνει την κατάσταση του flip flop λογικό ένα).

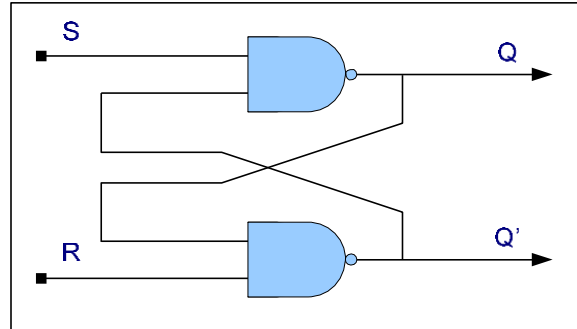
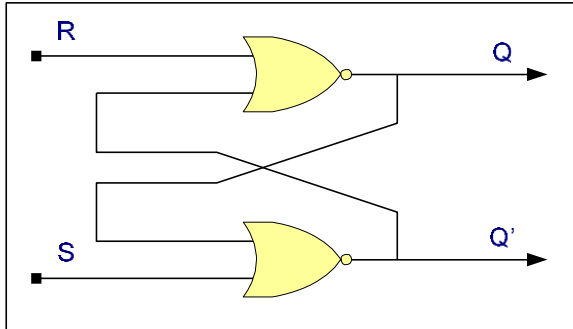
CLEAR	PRESET	Λειτουργία FLIP FLOP
0	0	Δεν χρησιμοποιείται
0	1	Μετάβαση στην Κατάσταση λογικού ένα
1	0	Μετάβαση στην Κατάσταση λογικού μηδέν
1	1	Σύγχρονη Λειτουργία βασισμένη στο ρολόι.

Τα πιο δημοφιλή είδη flip flop είναι τα SR Flip Flop, JK Flip Flop, T Flip Flop και D Flip Flop.

Ενέργειες Άσκησης 11

Μέρος Α (RS Flip Flop):

Το SR FLIP FLOP αποτελεί την πιο απλή μορφή flip flop και έχει δύο σύγχρονες εισόδους που ονομάζονται S (set: θέτω) και R (Reset: Επαναφέρω) (εξ' ου και το όνομα SR). Μπορεί να υλοποιηθεί εύκολα με πύλες NAND ή NOR όπως φαίνεται στο παρακάτω σχήμα:



Ο σκανδαλισμός του γίνεται με την κατάλληλη χρήση των δύο εισόδων του RS όπως παρουσιάζεται στον παρακάτω πίνακα. Υποθέτουμε ότι $Q(t)$ είναι η κατάσταση του flip flop μια χρονική στιγμή t και $R(t)$ $S(t)$ είναι οι τιμές των εισόδων την ίδια χρονική στιγμή ενώ $Q(t+1)$ είναι η κατάσταση του flip flop την χρονική στιγμή $t+1$ (η επόμενη χρονική στιγμή).

ΠΑΡΟΥΣΑ ΚΑΤΑΣΤΑΣΗ			ΕΠΟΜΕΝΗ ΚΑΤΑΣΤΑΣΗ
S(t)	R(t)	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	1	Απαγορευμένες Καταστάσεις
1	1	0	

Ουσιαστικά ο παραπάνω πίνακας μας λέει ότι:

Όταν $S=0$ και $R=0$, τότε η επόμενη κατάσταση ($Q(t+1)$) είναι ίδια με την προηγούμενη κατάσταση, ($Q(t+1)=Q(t)$).

Όταν $S=0$ και $R=1$, τότε η επόμενη κατάσταση είναι $Q(t+1)=0$.

Όταν $S=1$ και $R=0$, τότε η επόμενη κατάσταση είναι $Q(t+1)=1$.

Όταν $S=1$ και $R=1$, τότε η επόμενη κατάσταση είναι απροσδιόριστη (μη χρησιμοποιούμενη κατάσταση).

Ένα Flip-Flop έχει δύο χρήσιμες καταστάσεις:

όταν $Q=1$ και $Q'=0$, λέμε ότι βρίσκεται στην “κατάσταση θέσης” (set value).

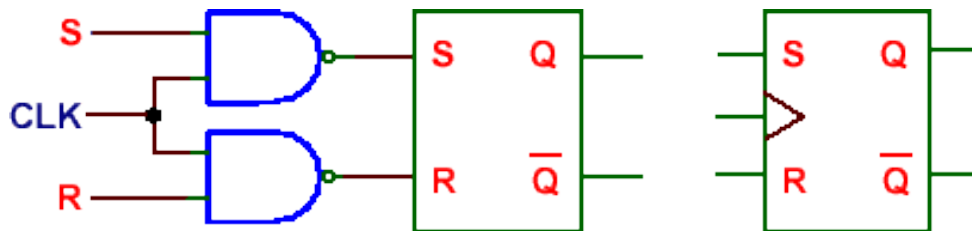
όταν $Q=0$ και $Q'=1$, λέμε ότι βρίσκεται στην “κατάσταση μηδένισης” (clear value).

Οι έξοδοι Q' και Q είναι η μία το συμπλήρωμα της άλλης και ονομάζονται κανονική και συμπληρωματική έξοδος. Ως κατάσταση του Flip-Flop θεωρείται η τιμή της κανονικής εξόδου.

Να σχεδιάσετε ένα SR flip flop με τη χρήση πυλών NAND και να επιβεβαιώσετε την σωστή του λειτουργία συμπληρώνοντας τον παρακάτω πίνακα:

S (Set)	R (Reset)	Q	Q'
1	0		
0	0		
0	1		
0	0		
1	1		

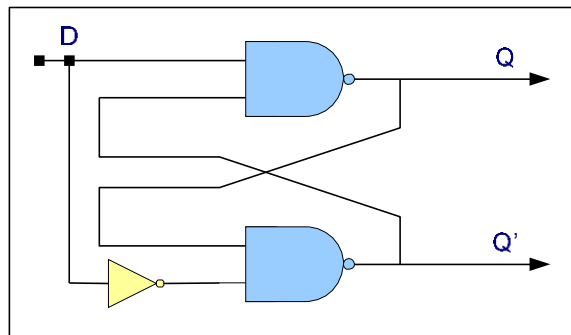
Μπορούμε να εισαγάγουμε σκανδαλισμό στο SR flip flop με την χρήση ρολογιού (όπως περιγράφεται στην αρχή της άσκησης) αν χρησιμοποιήσουμε το παρακάτω κύκλωμα:



Μέρος Β (D Flip Flop):

Ένας τρόπος εξάλειψης της ανεπιθύμητης συμπεριφοράς στην απροσδιόριστη κατάσταση του SR Flip-Flop είναι να μην βρεθούν και οι δύο είσοδοί του ταυτόχρονα στην κατάσταση του λογικού «1». Αυτό επιτυγχάνεται με την χρήση του D Flip-Flop. Η μοναδική είσοδος D του Flip-Flop τροφοδοτεί την είσοδο S του SR Flip-Flop, ενώ το συμπλήρωμά της D' τροφοδοτεί την είσοδο R του SR Flip-Flop. Το D Flip-Flop παίρνει το όνομά του από την δυνατότητα “να κρατά μέσα του” τα δεδομένα (data) της εισόδου.

Το διάγραμμα και το ισοδύναμο λογικό κύκλωμα του D Flip-Flop δίνονται στο ακόλουθο σχήμα.



Με τη χρήση πυλών NAND και NOT όπως φαίνονται στο προηγούμενο κύκλωμα να υλοποιήσετε ένα D flip flop και να συμπληρώσετε τον παρακάτω πίνακα.

$Q(t)$	D	$Q(t+1)$
0	0	
0	1	
1	0	
1	1	

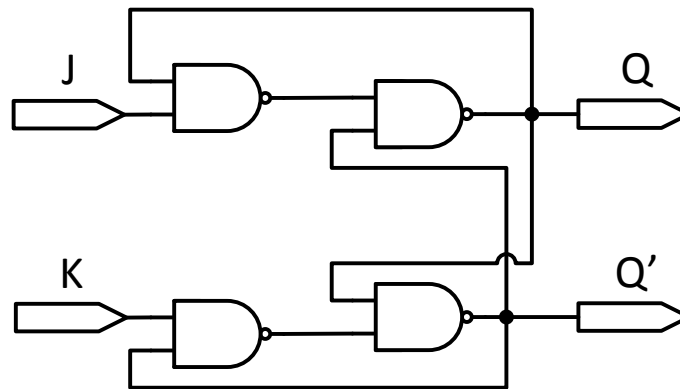
Επίσης, να σχεδιάσετε και υλοποιήσετε ένα D Flip Flop με σκανδαλισμό ρολογιού και να συμπληρώσετε τον παρακάτω πίνακα.

<i>Clock</i>	$Q(t)$	D	$Q(t+1)$
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

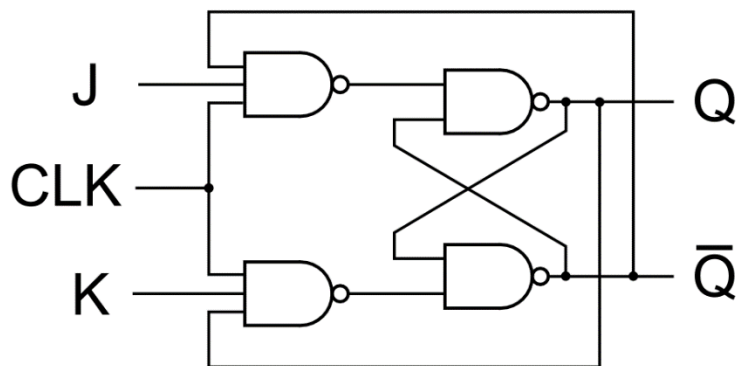
Μέρος Γ (JK Flip Flop):

Η απροσδιόριστη κατάσταση λειτουργίας του RS Flip-Flop προσδιορίζεται στο JK Flip-Flop. Οι είσοδοι J και K συμπεριφέρονται σαν τις εισόδους S και R. Η J θέτει (set) το flip-flop και η K το μηδενίζει (clear). Εάν οι είσοδοι J και K πάρουν ταυτόχρονα την τιμή του λογικού «1», τότε το JK Flip-Flop αλλάζει κατάσταση και μεταβαίνει στην συμπληρωματική αυτής στην οποία ήταν. Δηλαδή το Q παίρνει την τιμή «1» εάν προηγουμένως ήταν «0» και το αντίστροφο.

Στο ακόλουθο σχήμα φαίνεται το διάγραμμα και το ισοδύναμο λογικό κύκλωμα του JK Flip-Flop.



Με τη χρήση πυλών NAND, AND, OR και NOT όπως φαίνονται στο προηγούμενο κύκλωμα να υλοποιήσετε ένα JK flip flop με ρολόι όπως φαίνεται στο παρακάτω σχήμα



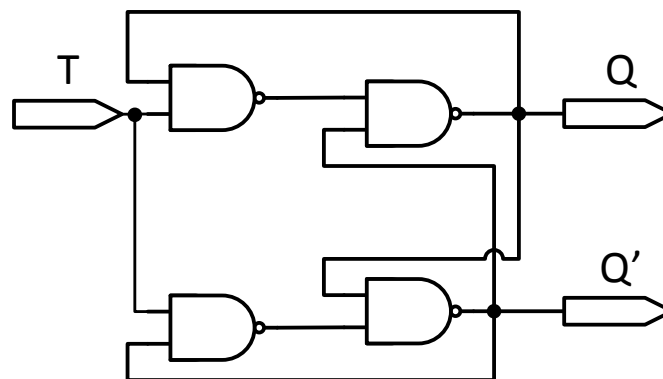
και να συμπληρώσετε τον παρακάτω πίνακα:

clock	$Q(t)$	J	K	$Q(t+1)$
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Μέρος Δ :

Το flip-flop τύπου T είναι μια τροποποιημένη μορφή του JK Flip-Flop που έχει μία μόνο είσοδο (T). Το T Flip-Flop είναι ισοδύναμο με το JK Flip-Flop εάν συνδέσουμε τις εισόδους J, K. Το T Flip-Flop έχει την ιδιότητα να αντιστρέφεται, δηλαδή να αλλάζει κατάσταση (Toggle), όταν η τιμή της εισόδου T παίρνει την τιμή του «λογικού 1».

Στο ακόλουθο σχήμα φαίνεται το διάγραμμα και το ισοδύναμο λογικό κύκλωμα του T Flip-Flop.



Με τη χρήση πυλών NAND όπως φαίνονται στο προηγούμενο κύκλωμα να υλοποιήσετε ένα T flip flop και να συμπληρώσετε τον παρακάτω πίνακα.

$Q(t)$	T	$Q(t+1)$
0	0	
0	1	
1	0	
1	1	

Να σχεδιάσετε ένα T flip flop που να έχει σκανδαλισμό με ρολόι και να χρησιμοποιεί τα σήματα CLEAR και RESET.

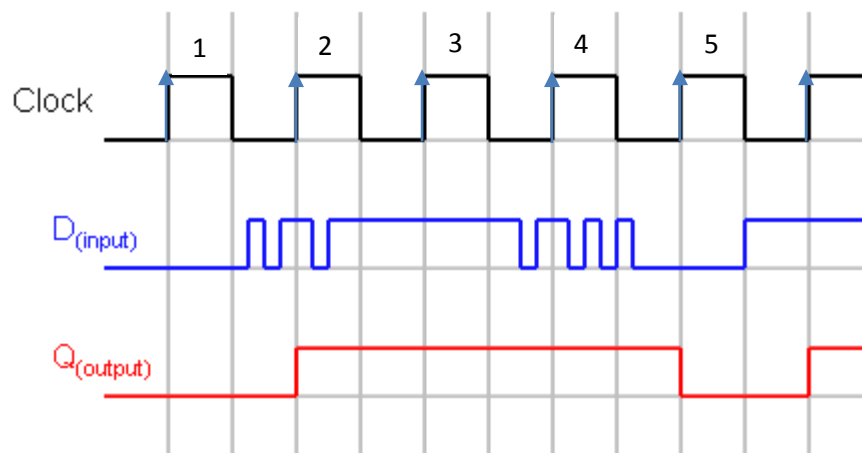
Εργαστηριακή Άσκηση 12: «ΣΤΟΙΧΕΙΑ ΜΝΗΜΗΣ- ΚΑΤΑΧΩΡΗΤΕΣ»

Σκοπός της Εργαστηριακής Άσκησης

Σκοπός της παρούσας εργαστηριακής άσκησης είναι η εξοικείωση του φοιτητή με την χρήση flip flop ακμοπυροδοτούμενα (edge triggered flip flop) καθώς και κυκλωμάτων όπου χρησιμοποιούνται flip flop όπως οι καταχωρητές. Θα χρησιμοποιηθούν και θα μελετηθούν διαφορετικές διατάξεις καταχωρητών καθώς και οι εφαρμογές τους.

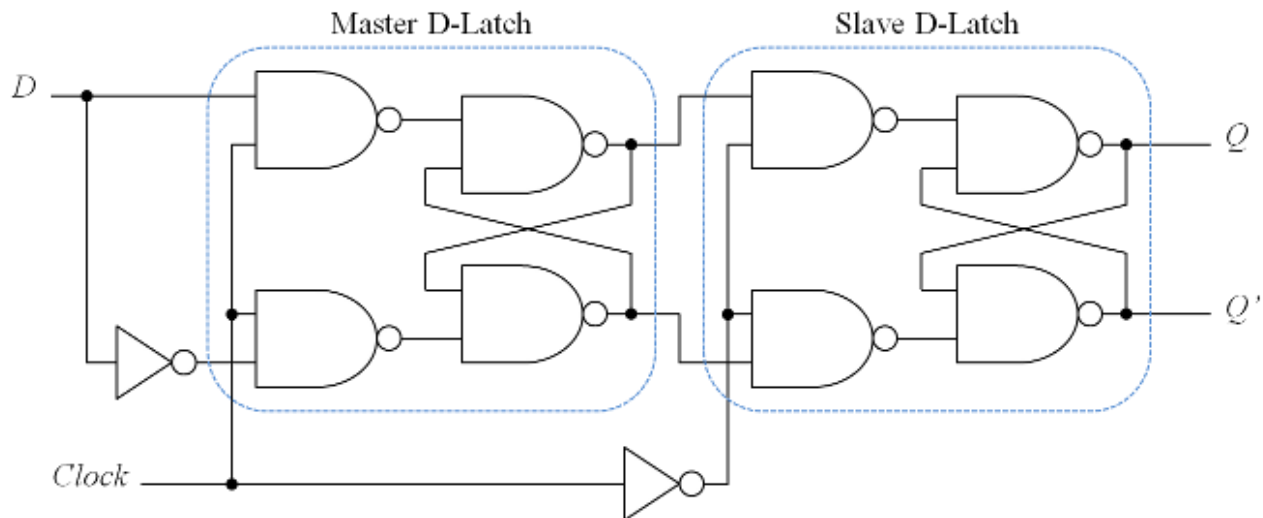
Ακμοπυροδοτούμενα Flip Flop

Όπως είδαμε στην προηγούμενη άσκηση, ένα flip flop συγχρονίζεται με την χρήση μιας εισόδου ρολογιού. Όταν το σήμα ρολογιού έχει τιμή 1 τότε το flip flop μπορεί να αλλάξει κατάσταση (ανάλογα πάντα με το είδος του flip flop και των άλλων σημάτων εισόδου) ενώ όταν το σήμα ρολογιού έχει τιμή 0 τότε το flip flop παραμένει στην κατάσταση που είδη βρίσκεται. Αυτό πρακτικά σημαίνει ότι όσο το σήμα ρολογιού βρίσκεται σε λογικό «1» τότε οποιαδήποτε αλλαγή στις σύγχρονες εισόδους του flip flop μπορεί να επηρεάσει την έξοδο. Συνήθως επιθυμητό είναι, οι εισόδους να επηρεάζουν τις εξόδους του flip flop μόνο σε συγκεκριμένες χρονικές στιγμές και όχι σε ολόκληρες χρονικές περιόδους (π.χ. όσο το σήμα ρολογιού είναι 1). Για να επιλυθεί αυτό το πρόβλημα, υπάρχουν flip flops τα οποία συγχρονίζονται με τις ανερχόμενες ή κατερχόμενες παρυφές του σήματος ρολογιού, δηλαδή όταν το σήμα ρολογιού μεταβαίνει από 0 σε 1 ή από 1 σε μηδέν και όχι στα ενδιάμεσα. Παράδειγμα χρήσης ενός τέτοιου συστήματος φαίνεται στο παρακάτω σχήμα για ένα D flip flop θετικής ακμοπυροδότησης (ενεργοποίηση κατά την μετάβαση από 0 σε 1 στο σήμα ρολογιού).



Στο παραπάνω σχήμα παρατηρούμε ότι στο χρονικό διάστημα από πρώτο στον δεύτερο παλμό ρολογιού και από τον δεύτερο στον τρίτο παλμό ρολογιού η είσοδος D έχει διάφορες τιμές (είτε 0 είτε 1). Παρόλα αυτά η έξοδος Q έχει «κλειδώσει» στις τιμές της εισόδου μόνο όταν γίνονται οι μεταβάσεις στο σήμα ρολογιού από 0 σε 1.

Για να κατασκευάσουμε ένα D Flip Flop θετικής παρυφής χρειαζόμαστε δύο απλά D flip flop τα οποία διατάσσουμε σε δομή master-slave. Ουσιαστικά, το πρώτο «Master» flip flop ελέγχει απόλυτα το δεύτερο «slave» flip flop. Το κύκλωμα που υλοποιεί ένα D-flip flop θετικής ακμοπυροδότησης φαίνεται παρακάτω.



Εισαγωγή στους Καταχωρητές

Ένας καταχωρητής (register) είναι μια διάταξη από στοιχεία που αποθηκεύουν δυαδικές πληροφορίες. Οι καταχωρητές συνήθως αποτελούνται από διατάξεις Flip-Flops. Ένας καταχωρητής n-bit αποτελείται από n Flip-Flops και μπορεί να αποθηκεύσει πληροφορία μεγέθους n-bit.

Η αποθηκευμένη πληροφορία, δεδομένα n-bit, μπορεί να υποστεί και κάποιου είδους ενδιάμεσης επεξεργασίας, με την χρήση λογικών πυλών, οι οποίες μπορούν να αποτελούν και αυτές μέρος του κυκλώματος του καταχωρητή.

Οι μετρητές (counters) είναι μία από τις βασικότερες εφαρμογές/ λειτουργίες του καταχωρητή. Ένας μετρητής είναι ουσιαστικά ένας καταχωρητής, ο οποίος παίρνει διαδοχικά μια καθορισμένη σειρά καταστάσεων, τις οποίες επεξεργάζεται με συγκεκριμένη λογική λειτουργία.

Τα κυκλώματα των μνημών αποτελούνται από στοιχεία αποθήκευσης σε συνδυασμό με μια σειρά κυκλώματα τα οποία χρησιμοποιούνται για την αμφίδρομη μεταφορά των δεδομένων.

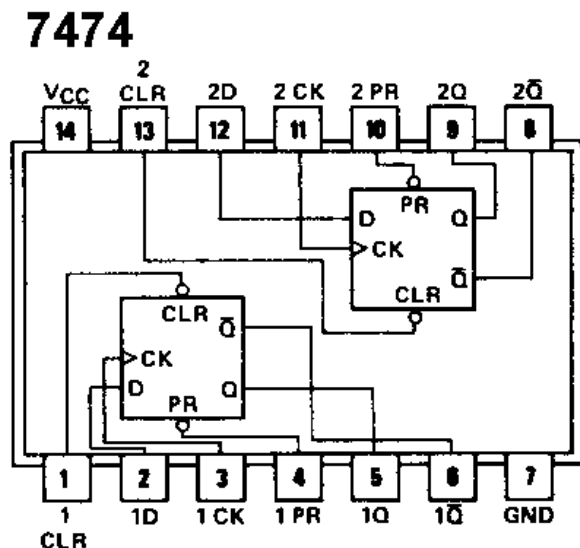
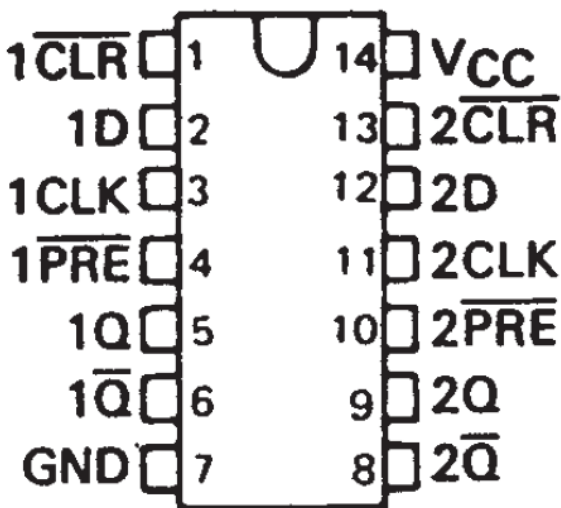
Ενέργειες Άσκησης 12

Μέρος Α :

Να υλοποιήσετε ένα D flip flop σκανδαλισμού θετικής ακμής χρησιμοποιώντας NAND πύλες και να συμπληρώσετε τον παρακάτω πίνακα.

<i>Clock</i>	<i>Q (t)</i>	<i>D</i>	<i>Q(t+1)</i>
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Τα d flip flop σκανδαλισμού ακμής υπάρχουν και σε αυτόνομα ολοκληρωμένα όπως το 7474, το οποίο έχει δύο D Flip flop με SET (PRE) και RESET (CLR) το καθένα. Το 7474 έχει την δομή που φαίνεται παρακάτω:

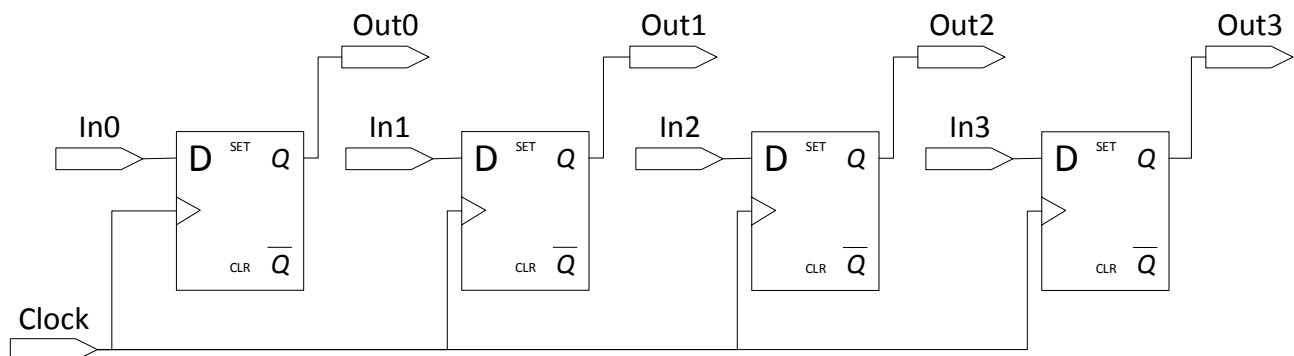


Τα σήματα του 7474 αναλύονται στον παρακάτω πίνακα:

D Flip Flop 1		D Flip Flop 2	
Σήματα		Σήματα	
1 $\overline{CLR}$	Σήμα RESET (αρνητικής λογικής: ενεργοποίηση στο 0)	2 $\overline{CLR}$	Σήμα RESET (αρνητικής λογικής: ενεργοποίηση στο 0)
1 $\overline{PRE}$	Σήμα SET (αρνητικής λογικής: ενεργοποίηση στο 0)	2 $\overline{PRE}$	Σήμα SET (αρνητικής λογικής: ενεργοποίηση στο 0)
1D	Είσοδος D	2D	Είσοδος D
1CLK	Είσοδος Ρολογιού	2CLK	Είσοδος Ρολογιού
1Q	Έξοδος Q	2Q	Έξοδος Q
1 $\overline{Q}$	Έξοδος Q'	2 $\overline{Q}$	Έξοδος Q'

Μέρος Β

Το D flip flop μπορεί να θεωρηθεί σαν ένα στοιχείο μνήμης 1 bit. Συνδυάζοντας πολλά D flip flops σκανδαλισμού ακμής μπορούμε να κατασκευάσουμε στοιχεία αποθήκευσης περισσότερων bit. Τέτοια στοιχεία που ονομάζουμε καταχωρητές, κρατούν, «καταχωρούν» την κατάσταση πολλών bit. Για να σχεδιάσουμε έναν καταχωρητή βάζουμε πολλά D flip flop σε παράλληλη διάταξη και τα συνδέουμε με ένα κοινό σήμα ρολογιού. Η είσοδος του ρολογιού χρησιμοποιείται για να πυροδοτεί την λειτουργία των Flip-Flops. Αυτό έχει ως αποτέλεσμα οι τιμές των εισόδων τους να προωθούνται στον καταχωρητή και κατ' επέκταση στις εξόδους τους. Στο παρακάτω σχήμα φαίνεται το κύκλωμα ενός καταχωρητή 4 bits.



Να υλοποιηθεί ο παραπάνω καταχωρητής 4 bit χρησιμοποιώντας τα ολοκληρωμένα 7474 και να συμπληρωθεί ο παρακάτω πίνακας:

Παρατήρηση: Τα σήματα PRE και CLR να είναι σε λογικό 1 ώστε να μην είναι ενεργοποιημένα.

<i>Out3</i>	<i>Out2</i>	<i>Out1</i>	<i>Out0</i>	<i>In(3..0)</i>	<i>Clk</i>
				0000	0
				0000	1
				0101	0
				0101	1
				1111	0
				1111	1
				0011	0
				0011	1

Τι παρατηρείτε για τις τιμές των εξόδων όταν το σήμα Clk παίρνει τη λογική τιμή «0» και τι στη λογική τιμή «1» ; Πότε συμβαίνουν οι αλλαγές στις αποθηκευμένες εσωτερικές τιμές του καταχωρητή ;

Εργαστηριακή Άσκηση 13:

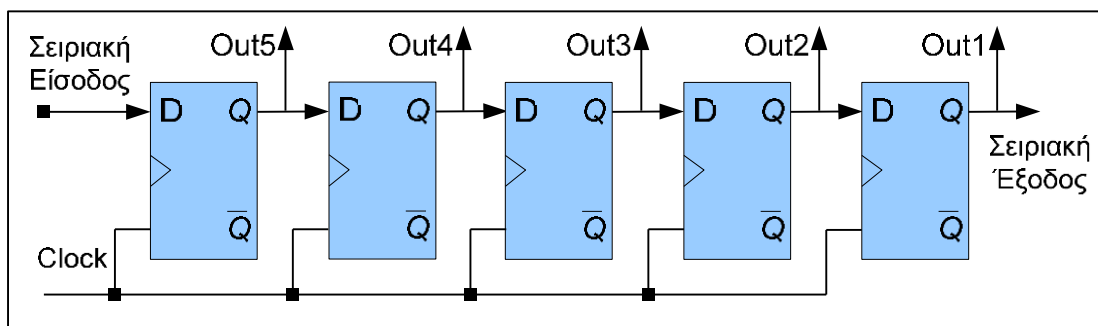
«ΚΑΤΑΧΩΡΗΤΕΣ ΟΛΙΣΘΗΣΗΣ»

Σκοπός της Εργαστηριακής Άσκησης

Σκοπός της παρούσας εργαστηριακής άσκησης είναι η εξοικείωση του φοιτητή με εφαρμογές των ακολουθιακών κυκλωμάτων που χρησιμοποιούν flip flop και πιο συγκεκριμένα με τους καταχωρητές ολίσθησης. Οι μορφή αυτή καταχωρητών είναι πολύ χρήσιμη σε πρακτικές εφαρμογές και αποτελεί μια από τις πιο βασικές χρήσεις των flip flop.

Καταχωρητές Ολίσθησης

Ένας καταχωρητής ολίσθησης που μπορεί να ολισθαίνει τις πληροφορίες που είναι αποθηκευμένες στο εσωτερικό του προς τη μία ή προς την άλλη κατεύθυνση (αριστερά ή δεξιά), ονομάζεται καταχωρητής ολίσθησης (shift register). Συνήθως ένας τέτοιος καταχωρητής αποτελείται από μια σειρά flip-flop συνδεδεμένα σε σειρά, με την είσοδο του κάθε ενός να τροφοδοτείται από την έξοδο του προηγούμενου του. Ο τρόπος συνδεσμολογίας φαίνεται αναλυτικά στο παρακάτω σχήμα.



Σχήμα 49: Καταχωρητής Ολίσθησης 5-bit

Ενέργειες Άσκησης 13

Να σχεδιάσετε και υλοποιήσετε ένα καταχωρητή ολίσθησης 4 bit χρησιμοποιώντας τα ολοκληρωμένα 7474.

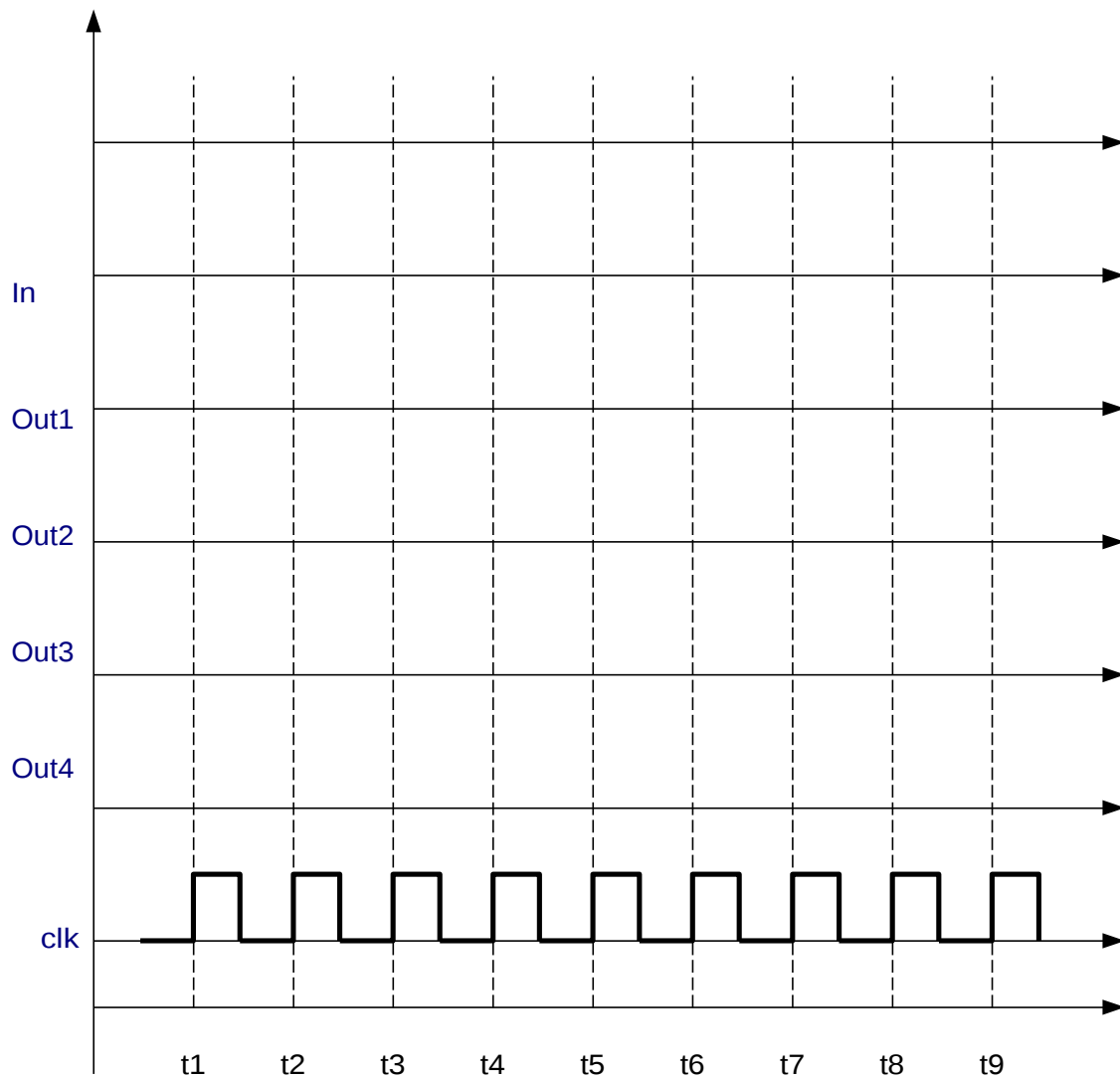
Να χρησιμοποιηθεί η Γεννήτρια Συχνοτήτων ώστε να παραχθεί ένας τετραγωνικός παλμός 1 Hz. Ο παλμός αυτός μπορεί να γίνει η είσοδος ρολογιού του καταχωρητή ολίσθησης. Στην έξοδο Q του κάθε flip flop να τοποθετηθεί ένα LED. Πειραματιζόμενοι με την σειριακή είσοδο, βάζοντας την στο λογικό «1» ή στο λογικό «0» για μικρό χρονικό διάστημα παρατηρούμε πως μεταφέρεται το σήμα από το ένα D flip flop στο επόμενο.

Με την χρήση του ρολογιού και σε κάθε παλμό, το περιεχόμενο του καταχωρητή ολισθαίνει κατά μία θέση δεξιά. Από την σειριακή είσοδο σε κάθε παλμό εισέρχεται ένα νέο ψηφίο, το οποίο αποθηκεύεται στο εσωτερικό του καταχωρητή.

Για τον υλοποιημένο καταχωρητή και με την χρήση του ρολογιού να βρεθούν οι τιμές των εξόδων του σε κάθε χρονική στιγμή. Να συμπληρωθεί ο ακόλουθος πίνακας καταστάσεων:

Out 4	Out 3	Out 2	Out 1	Σειριακή Είσοδος	Χρονικές Στιγμές
				0	t ₁
				1	t ₂
				1	t ₃
				0	t ₄
				1	t ₅
				0	t ₆
				1	t ₇
				1	t ₈

Να γίνουν οι γραφικές παραστάσεις για την μεταβολή των τιμών κάθε μιας από τις εξόδους, για τις συγκεκριμένες χρονικές στιγμές, σύμφωνα με το ακόλουθο γράφημα.

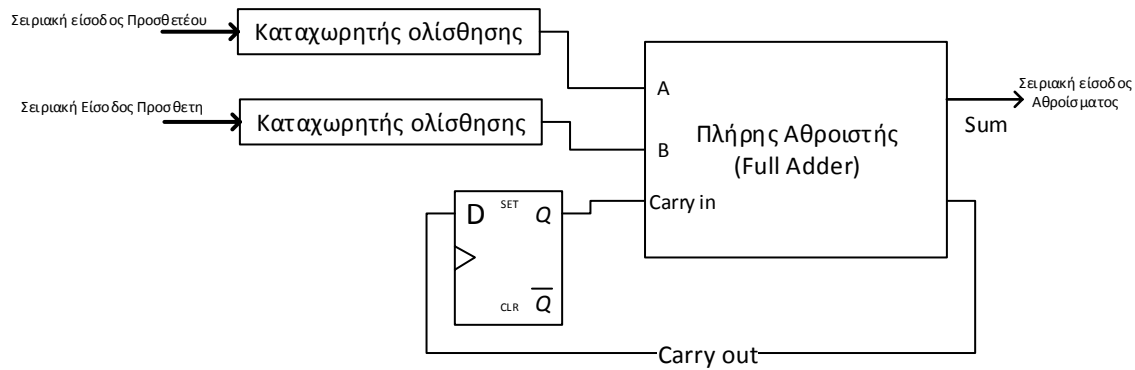


Πως μεταβάλλονται οι τιμές των εξόδων στην μονάδα του χρόνου ; Τι συμβαίνει στο περιεχόμενο του εσωτερικού του καταχωρητή όταν το σήμα του ρολογιού έχει την τιμή του λογικού «μηδέν»;

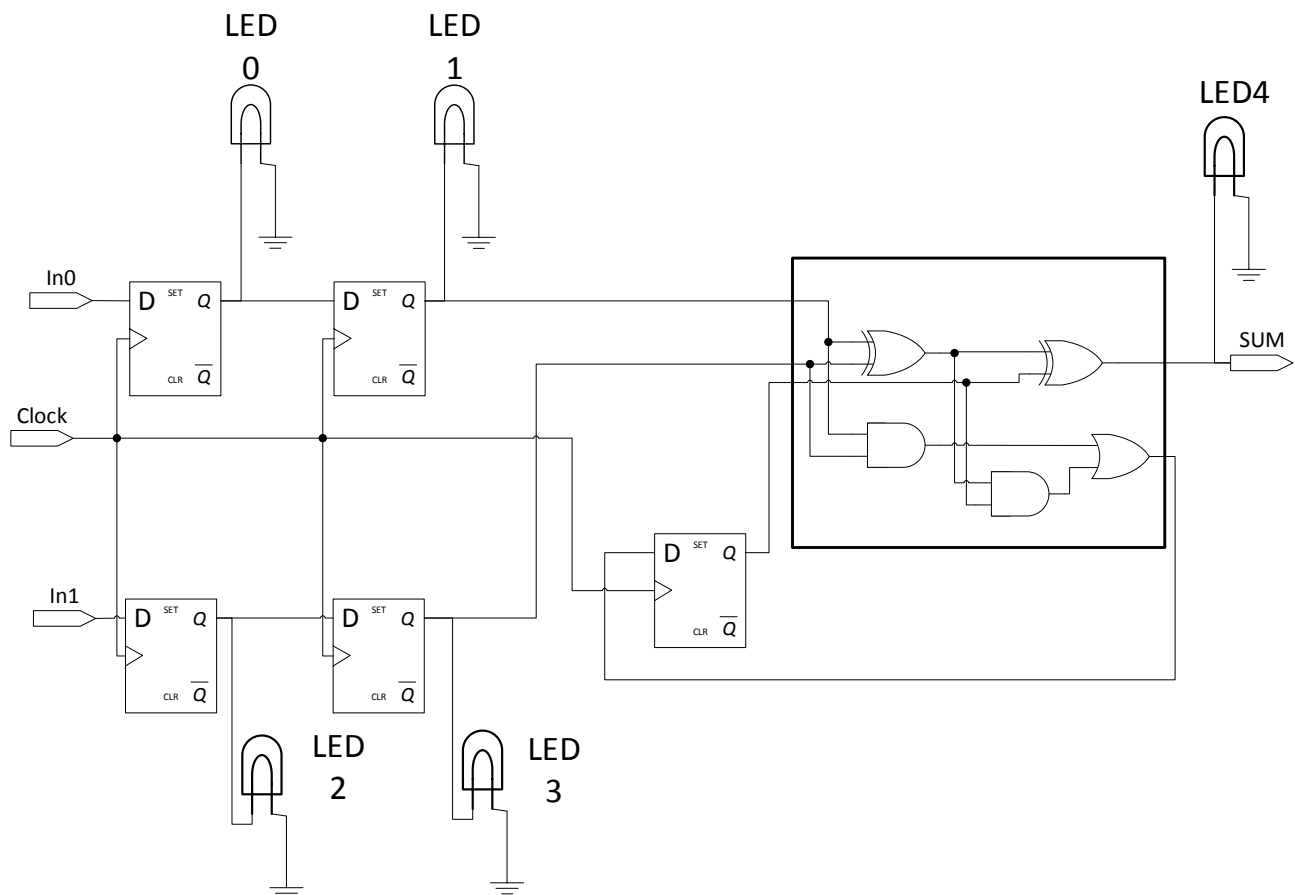
Μέρος Β :

Οι καταχωρητές ολίσθησης χρησιμοποιούνται σε εφαρμογές μετατροπής σειριακών δεδομένων σε παράλληλα και αντίστροφα. Όπως είδαμε στο προηγούμενο μέρος της άσκησης, εάν έχουμε στη διάθεση μας τις εξόδους των flip-flops από τα οποία αποτελείται ένας σειριακός καταχωρητής μπορούμε να πάρουμε παράλληλα, τα δεδομένα που εισέρχονται από την σειριακή είσοδο.

Εκτός από αυτές τις λειτουργίες μπορούμε να χρησιμοποιήσουμε τους καταχωρητές ολίσθησης ώστε να τροφοδοτήσουμε με σειριακό τρόπο παράλληλα δεδομένα σε ένα σύστημα. Χαρακτηριστικό παράδειγμα είναι ο σειριακός αθροιστής όπου τροφοδοτούμε σε ένα Full Adder τις εισόδους του με σειριακό τρόπο όπως φαίνεται στο παρακάτω σχήμα.



Με βάση το παραπάνω σχήμα, μπορεί να κατασκευαστεί ένας σειριακός αθροιστής 2 bit ο οποίος θα έχει το παρακάτω κύκλωμα.



Να υλοποιηθεί το παρακάτω κύκλωμα χρησιμοποιώντας AND, OR, XOR και D flip flops από τα ολοκληρωμένα 7408, 7432, 7486 και 7474. Να βάλετε LED στα σημεία που φαίνονται στο κύκλωμα.

Παρατήρηση: Τα σήματα PRE και CLR να είναι σε λογικό 1 ώστε να μην είναι ενεργοποιημένα.

Η λειτουργία του κυκλώματος μπορεί να είναι η παρακάτω:

- Βάζω στις Εισόδους In0 και In1 το τρέχον bit του προσθετέου και προσθέτη αντίστοιχα και βάζω στο σήμα ρολογιού (clock) λογικό 1.
- Παρατηρώ στα Led τις τιμές που έχουν οι καταχωρητές ολίσθησης και στο Led μετά τον πλήρη αθροιστή το αποτέλεσμα της πρόσθεσης.
- Το κρατούμενο έχει επίσης προκύψει και βρίσκεται αποθηκευμένο στο D flip flop που συνδέει το carry in με το carry out.
- Θέτω το σήμα ρολογιού σε λογικό 0 και επαναλαμβάνω την διαδικασία για το επόμενο bit των αριθμών που προσθέτω.

Με βάση τα παραπάνω βήματα να συμπληρώσετε τον παρακάτω πίνακα όπου γίνονται 3 διαδοχικές αθροίσεις:

Χρονική στιγμή	11 + 01 =		01 + 10 =		01 + 11 =	
	T0	T1	T2	T3	T4	T5
In0	1	1	0	1	0	1
In1	0	1	1	0	1	1
LED 0						
LED 1						
LED 2						
LED 3						
LED 4						

Παρατηρήστε τα αθροίσματα και επιβεβαιώστε ότι είναι σωστά. Αν δεν είναι σωστά εξηγήστε το γιατί.

Σχεδιάστε μια τροποποιημένη έκδοση του κυκλώματος η οποία θα αποθηκεύει το αποτέλεσμα της πρόσθεσης και θα το βγάζει σαν παράλληλη έξοδο.

Εργαστηριακή Άσκηση 14: «Κυκλώματα Απαριθμητών»

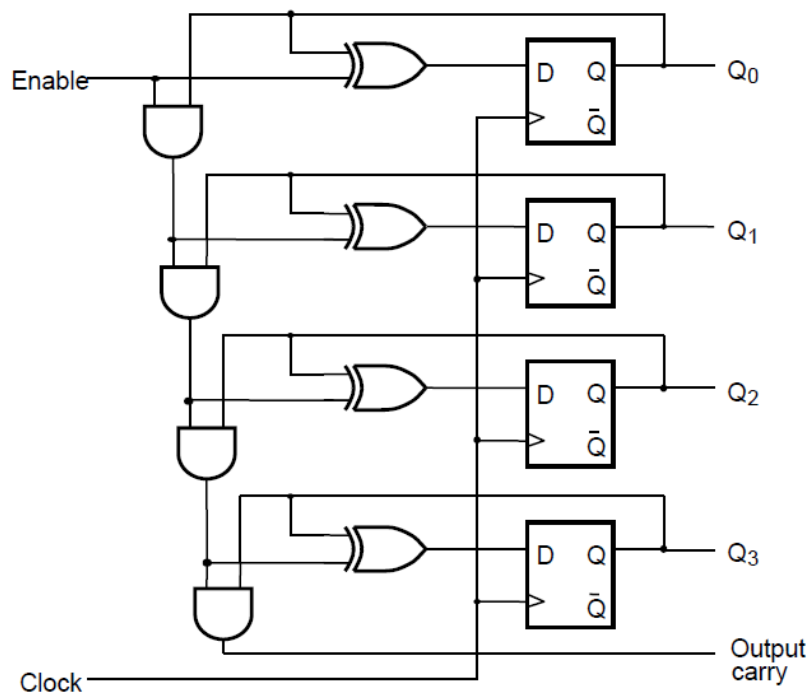
Σκοπός της Εργαστηριακής Άσκησης

Σκοπός της εργαστηριακής άσκησης είναι η εξοικείωση του φοιτητή με διατάξεις απαριθμητών (counters). Στα πλαίσια της άσκησης θα σχεδιαστεί δομή ενός απλού απαριθμητή και θα αναλυθεί η λειτουργία του και η χρησιμότητά του σε συστήματα ψηφιακού σχεδιασμού.

Απαριθμητές

Ο απαριθμητής – μετρητής είναι ένα ψηφιακό κύκλωμα κατάλληλα συνδεδεμένων flip-flop τα οποία μεταβάλλουν το περιεχόμενό τους, συνήθως κατά ένα (αύξηση ή μείωση της τρέχουσας κατάστασης κατά ένα), κάθε φορά που στην είσοδο του μετρητή εφαρμόζεται ένα νέος παλμός ρολογιού στο κοινό σήμα ρολογιού τους.

Γενικά, μπορούμε να υλοποιήσουμε απαριθμητές με διάφορα είδη flip flop και να προκύψουν διαφορετικά κυκλώματα ανάλογα με το flip flop που χρησιμοποιούμε. Ένας απαριθμητής με n flip flops θα πρέπει να μπορεί να μετράει αριθμούς από το 0 μέχρι $2^n - 1$, ενώ θα πρέπει να έχει την δυνατότητα να «καθαρίζει» δηλ. να μηδενίζει είτε όταν φτάσει στην μέγιστη τιμή είτε με κατάλληλο σήμα ελέγχου. Ένας τυπικός 4 bit μετρητής-απαριθμητής άθροισης κατά 1 με τη χρήση D flip flop φαίνεται στο παρακάτω σχήμα



Το αποτέλεσμα της άθροισης δίνεται από τα σήματα $[Q3, Q2, Q1, Q0]$. Το enable σήμα όταν είναι ενεργοποιημένο (λογικό 1) τότε ο μετρητής ξεκινά να μετράει προσθέτοντας στην υπάρχουσα τιμή των D flip flops ένα. Απενεργοποιώντας το σήμα enable ο απαριθμητής σταματά να προσθέτει ένα. Όταν ο απαριθμητής φτάσει στην μέγιστη τιμή του, και εφόσον το σήμα enable είναι ενεργοποιημένο τότε η μέτρηση συνεχίζει από το μηδέν και ενεργοποιείται το σήμα Output Carry.

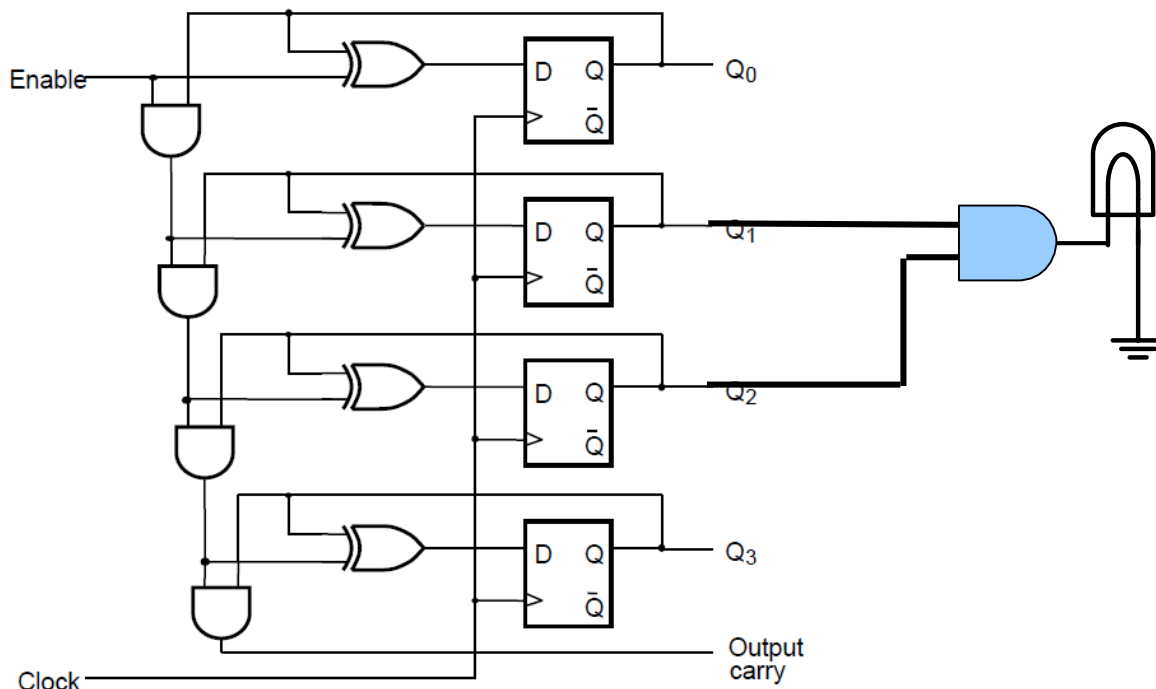
Ενέργειες Άσκησης 14

Να υλοποιηθεί ο απαριθμητής 4 bit με D flip flop χρησιμοποιώντας AND, XOR, D flip flops από τα ολοκληρωμένα 7408, 7486, 7474.

Τοποθετήστε ένα LED στο σήμα output carry για να παρατηρήσετε πότε ολοκληρώνεται η μέτρηση και ο απαριθμητής ξεκινά από το μηδέν. Δώστε ως σήμα ρολογιού μέσω της γεννήτριας συχνοτήτων ένα τετραγωνικό παλμό 1Hz.

Ο μετρητής μπορεί να χρησιμοποιηθεί σαν ένας απλοϊκός χρονιστής timer. Αν περιοδικά επιθυμούμε την ενεργοποίηση ενός σήματος χρησιμοποιώντας μιας συγκεκριμένης συχνότητας είσοδο ρολογιού, χρησιμοποιώντας ένα μετρητή που μετρά c (από 0 έως $c-1$) και μετά ενεργοποιεί το σήμα που μας ενδιαφέρει. Έτσι ουσιαστικά επιτυγχάνουμε την ενεργοποίηση του σήματος όταν ο μετρητής φτάσει στον αριθμό c ή αλλιώς με περιοδικότητα *συχνότητα ρολογιού*/ c .

Με βάση την παραπάνω παρατήρηση ποια είναι η περιοδικότητα με την οποία αναβοσβήνει το LED στο σήμα Output carry που υλοποιήσατε;



Τροποποιούμε το κύκλωμα του 4 bit απαριθμητή όπως φαίνεται στο παραπάνω σχήμα και βάζουμε ένα σήμα ρολογιού 2Hz μαζί με ένα LED στην έξοδο της επιπλέον πύλης AND. Κάθε πότε θα ανάβει το LED αυτό;

Παρατήρηση: 1 Hz συχνότητα σημαίνει ότι έχω 1 περίοδο ενός σήματος ανα δευτερόλεπτο

Βιβλιογραφία

- [1] J. J. Cavagh, *Digital Computer Arithmetic*, McGraw-Hill, New York, 1984.
- [2] K. Hawng, *Computer Arithmetic*, John Wiley, New York, 1979.
- [3] M. M. Mano, *Computer Engineering: Hardware Design*, Englewood Cliffs, NJ: Prentice Hall, 1988.

ΠΑΡΑΡΤΗΜΑ 1

DATASHEETS ΟΛΟΚΛΗΡΩΜΕΝΩΝ
ΕΡΓΑΣΤΗΡΙΟΥ ΨΗΦΙΑΚΗΣ ΣΧΕΔΙΑΣΗΣ

DM74LS08

Quad 2-Input AND Gates

General Description

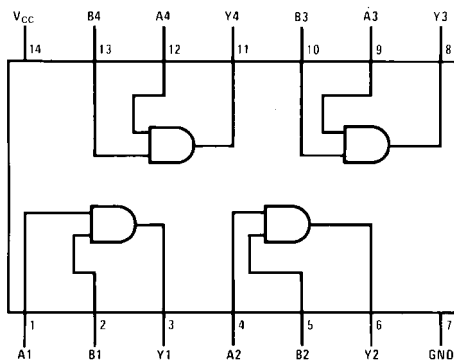
This device contains four independent gates each of which performs the logic AND function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS08M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS08SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS08N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = AB$$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = HIGH Logic Level
L = LOW Logic Level

Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	–65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V _{CC}	Supply Voltage	4.75	5	5.25	V
V _{IH}	HIGH Level Input Voltage	2			V
V _{IL}	LOW Level Input Voltage			0.8	V
I _{OH}	HIGH Level Output Current			–0.4	mA
I _{OL}	LOW Level Output Current			8	mA
T _A	Free Air Operating Temperature	0		70	°C

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
V _I	Input Clamp Voltage	V _{CC} = Min, I _I = –18 mA			–1.5	V
V _{OH}	HIGH Level Output Voltage	V _{CC} = Min, I _{OH} = Max, V _{IH} = Min	2.7	3.4		V
V _{OL}	LOW Level Output Voltage	V _{CC} = Min, I _{OL} = Max, V _{IL} = Max		0.35	0.5	V
		I _{OL} = 4 mA, V _{CC} = Min		0.25	0.4	
I _I	Input Current @ Max Input Voltage	V _{CC} = Max, V _I = 7V			0.1	mA
I _{IH}	HIGH Level Input Current	V _{CC} = Max, V _I = 2.7V			20	μA
I _{IL}	LOW Level Input Current	V _{CC} = Max, V _I = 0.4V			–0.36	mA
I _{OS}	Short Circuit Output Current	V _{CC} = Max (Note 3)	–20		–100	mA
I _{CCH}	Supply Current with Outputs HIGH	V _{CC} = Max		2.4	4.8	mA
I _{CCL}	Supply Current with Outputs LOW	V _{CC} = Max		4.4	8.8	mA

Switching Characteristics

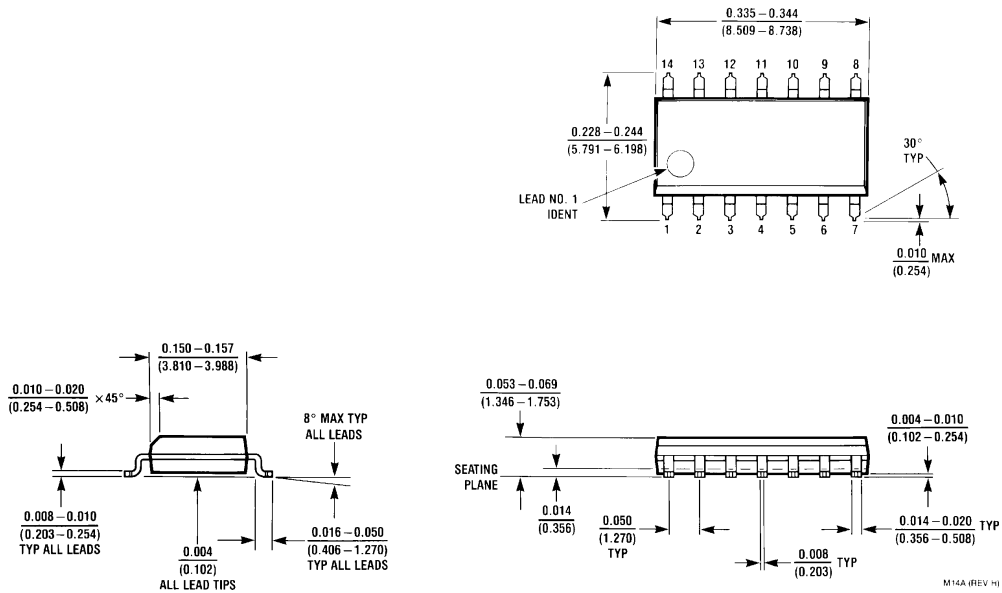
at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	R _L = 2 kΩ				Units
		C _L = 15 pF		C _L = 50 pF		
		Min	Max	Min	Max	
t _{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	4	13	6	18	ns
t _{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	3	11	5	18	ns

Note 2: All typicals are at V_{CC} = 5V, T_A = 25°C.

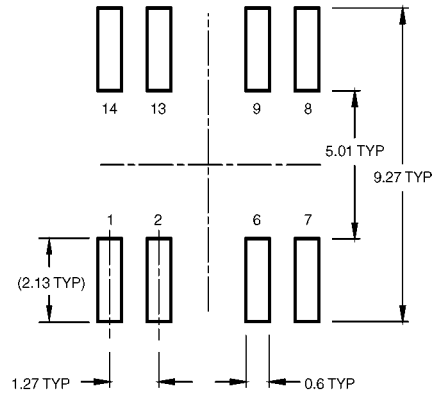
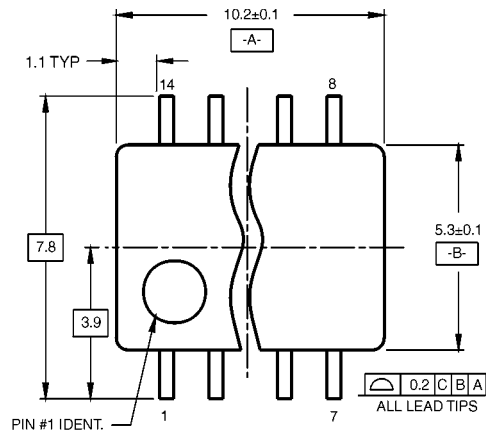
Note 3: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Physical Dimensions inches (millimeters) unless otherwise noted

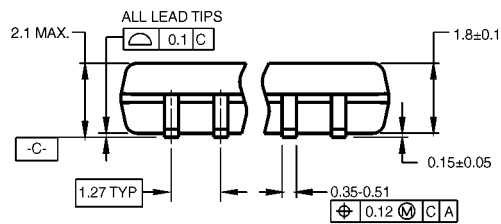


14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow Package Number M14A

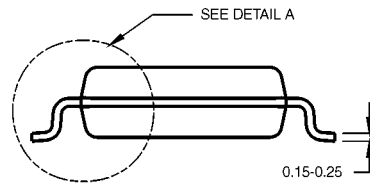
Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



LAND PATTERN RECOMMENDATION



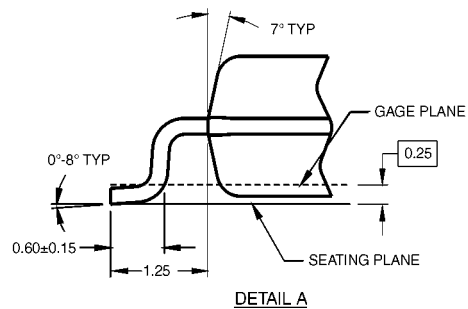
DIMENSIONS ARE IN MILLIMETERS



NOTES:

- A. CONFORMS TO EIAJ EDR-7320 REGISTRATION, ESTABLISHED IN DECEMBER, 1998.
- B. DIMENSIONS ARE IN MILLIMETERS.
- C. DIMENSIONS ARE EXCLUSIVE OF BURRS, MOLD FLASH, AND TIE BAR EXTRUSIONS.

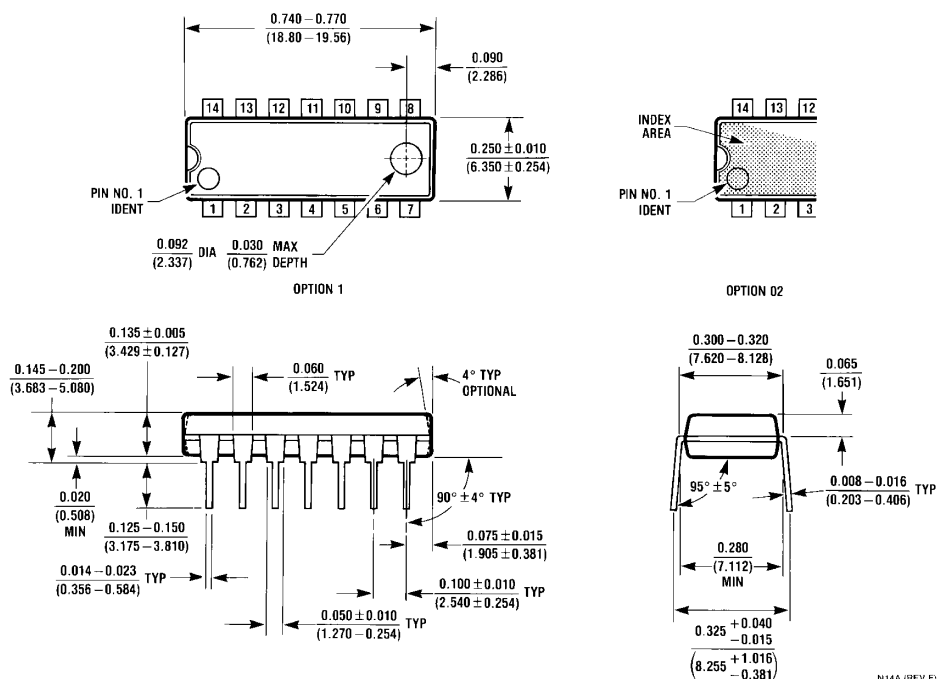
M14DRevB1



DETAIL A

**14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
Package Number M14D**

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
Package Number N14A

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

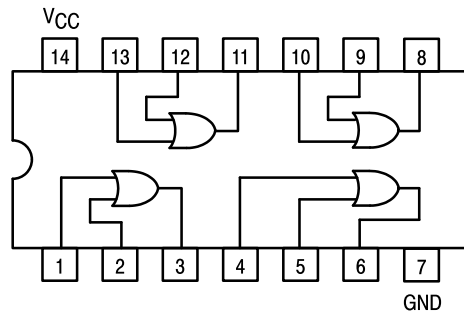
FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

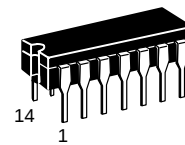


QUAD 2-INPUT OR GATE

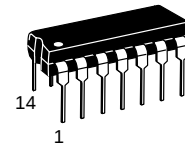


SN54/74LS32

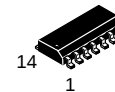
QUAD 2-INPUT OR GATE
LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06



D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T _A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I _{OH}	Output Current — High	54, 74			-0.4	mA
I _{OL}	Output Current — Low	54 74			4.0 8.0	mA

SN54/74LS32

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

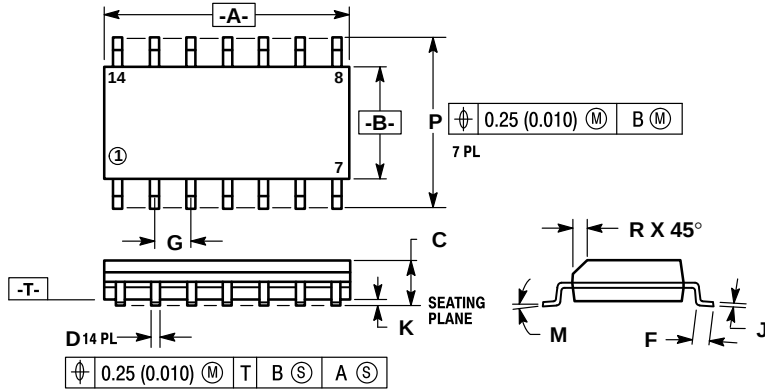
Symbol	Parameter		Limits			Unit	Test Conditions	
			Min	Typ	Max			
V _{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V _{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V _{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V _{CC} = MIN, I _{IN} = −18 mA	
V _{OH}	Output HIGH Voltage	54	2.5	3.5		V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table	
		74	2.7	3.5		V		
V _{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I _{OL} = 4.0 mA	V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74		0.35	0.5	V	I _{OL} = 8.0 mA	
I _{IH}	Input HIGH Current				20	μA	V _{CC} = MAX, V _{IN} = 2.7 V	
					0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V	
I _{IL}	Input LOW Current				−0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V	
I _{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V _{CC} = MAX	
I _{CC}	Power Supply Current Total, Output HIGH				6.2	mA	V _{CC} = MAX	
	Total, Output LOW				9.8			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS ($T_A = 25^\circ\text{C}$)

Symbol	Parameter		Limits			Unit	Test Conditions	
			Min	Typ	Max			
t_{PLH}	Turn-Off Delay, Input to Output			14	22	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$	
t_{PHL}	Turn-On Delay, Input to Output			14	22	ns		

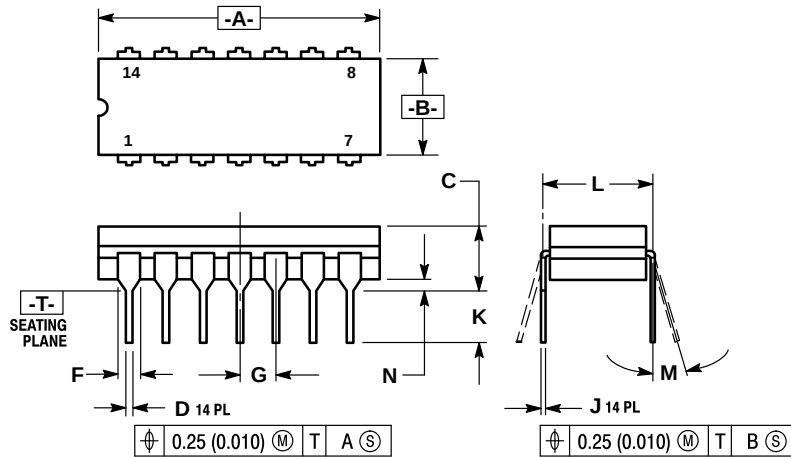
Case 751A-02 D Suffix
14-Pin Plastic
SO-14



- NOTES:
- DIMENSIONS "A" AND "B" ARE DATUMS AND "T" IS A DATUM SURFACE.
 - DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 - CONTROLLING DIMENSION: MILLIMETER.
 - DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION.
 - MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
 - 751A-01 IS OBSOLETE, NEW STANDARD 751A-02.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

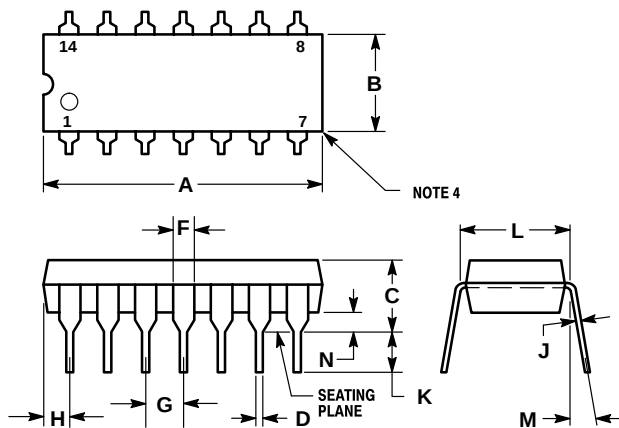
Case 632-08 J Suffix
14-Pin Ceramic Dual In-Line



- NOTES:
- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 - CONTROLLING DIMENSION: INCH.
 - DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
 - DIM F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.
 - 632-01 THRU -07 OBSOLETE, NEW STANDARD 632-08.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	19.05	19.94	0.750	0.785
B	6.23	7.11	0.245	0.280
C	3.94	5.08	0.155	0.200
D	0.39	0.50	0.015	0.020
F	1.40	1.65	0.055	0.065
G	2.54 BSC		0.100 BSC	
J	0.21	0.38	0.008	0.015
K	3.18	4.31	0.125	0.170
L	7.62 BSC		0.300 BSC	
M	0°	15°	0°	15°
N	0.51	1.01	0.020	0.040

Case 646-06 N Suffix
14-Pin Plastic



- NOTES:
- LEADS WITHIN 0.13 mm (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
 - DIMENSION "L" TO CENTER OF LEADS WHEN FORMED PARALLEL.
 - DIMENSION "B" DOES NOT INCLUDE MOLD FLASH.
 - ROUNDED CORNERS OPTIONAL.
 - 646-05 OBSOLETE, NEW STANDARD 646-06.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	18.16	19.56	0.715	0.770
B	6.10	6.60	0.240	0.260
C	3.69	4.69	0.145	0.185
D	0.38	0.53	0.015	0.021
F	1.02	1.78	0.040	0.070
G	2.54 BSC		0.100 BSC	
H	1.32	2.41	0.052	0.095
J	0.20	0.38	0.008	0.015
K	2.92	3.43	0.115	0.135
L	7.62 BSC		0.300 BSC	
M	0°	10°	0°	10°
N	0.39	1.01	0.015	0.039

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and  are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Literature Distribution Centers:

USA: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036.

EUROPE: Motorola Ltd.; European Literature Centre; 88 Tanners Drive, Blakelands, Milton Keynes, MK14 5BP, England.

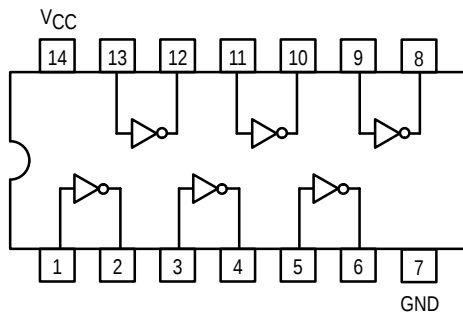
JAPAN: Nippon Motorola Ltd.; 4-32-1, Nishi-Gotanda, Shinagawa-ku, Tokyo 141, Japan.

ASIA PACIFIC: Motorola Semiconductors H.K. Ltd.; Silicon Harbour Center, No. 2 Dai King Street, Tai Po Industrial Estate, Tai Po, N.T., Hong Kong.



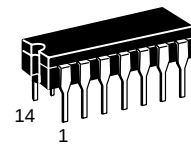


HEX INVERTER

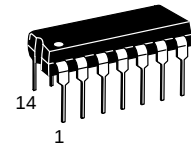


SN54/74LS04

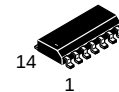
HEX INVERTER
LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06



D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T _A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I _{OH}	Output Current — High	54, 74			-0.4	mA
I _{OL}	Output Current — Low	54 74			4.0 8.0	mA

SN54/74LS04

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits			Unit	Test Conditions	
			Min	Typ	Max			
V _{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V _{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V _{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V _{CC} = MIN, I _{IN} = −18 mA	
V _{OH}	Output HIGH Voltage	54	2.5	3.5		V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table	
		74	2.7	3.5		V		
V _{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I _{OL} = 4.0 mA	V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74		0.35	0.5	V	I _{OL} = 8.0 mA	
I _{IH}	Input HIGH Current				20	μA	V _{CC} = MAX, V _{IN} = 2.7 V	
					0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V	
I _{IL}	Input LOW Current				−0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V	
I _{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V _{CC} = MAX	
I _{CC}	Power Supply Current Total, Output HIGH Total, Output LOW				2.4	mA	V _{CC} = MAX	
					6.6			

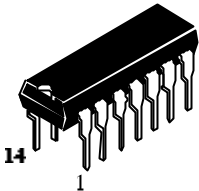
Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS ($T_A = 25^\circ\text{C}$)

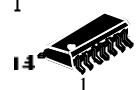
Symbol	Parameter		Limits			Unit	Test Conditions	
			Min	Typ	Max			
t_{PLH}	Turn-Off Delay, Input to Output			9.0	15	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$	
t_{PHL}	Turn-On Delay, Input to Output			10	15	ns		

Quad 2-Input Exclusive OR Gate

This device contains four independent 2-input Exclusive-OR gates. It performs the Boolean functions $Y=A \oplus B=AB+AB$ in positive logic.



**N SUFFIX
PLASTIC**

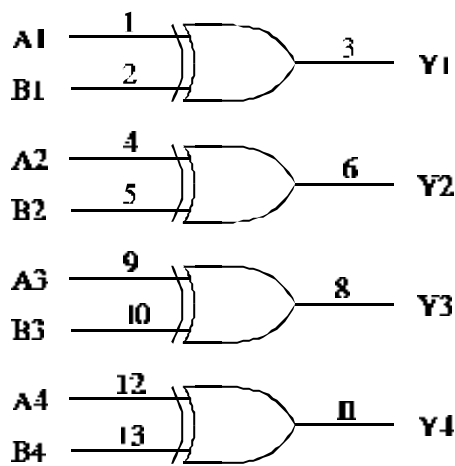


**D SUFFIX
SOIC**

ORDERING INFORMATION

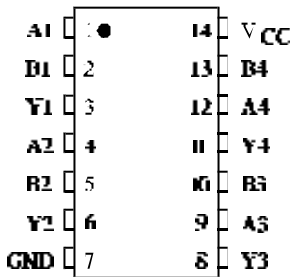
SL74LS86N Plastic
SL74LS86D SOIC
 $T_A = 0^{\circ}$ to 70° C for all packages

LOGIC DIAGRAM



PIN 14 = V_{CC}
PIN 7 = GND

PIN ASSIGNMENT



FUNCTION TABLE

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V _{CC}	Supply Voltage	7.0	V
V _{IN}	Input Voltage	7.0	V
V _{OUT}	Output Voltage	5.5	V
T _{stg}	Storage Temperature Range	-65 to +150	°C

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit
V _{CC}	Supply Voltage	4.75	5.25	V
V _{IH}	High Level Input Voltage	2.0		V
V _{IL}	Low Level Input Voltage		0.8	V
I _{OH}	High Level Output Current		-0.4	mA
I _{OL}	Low Level Output Current		8.0	mA
T _A	Ambient Temperature Range	0	+70	°C

DC ELECTRICAL CHARACTERISTICS over full operating conditions

Symbol	Parameter		Test Conditions	Guaranteed Limit		Unit
				Min	Max	
V _{IK}	Input Clamp Voltage		V _{CC} = min, I _{IN} = -18 mA		-1.5	V
V _{OH}	High Level Output Voltage		V _{CC} = min, I _{OH} = -0.4 mA	2.7		V
V _{OL}	Low Level Output Voltage		V _{CC} = min, I _{OL} = 4 mA		0.4	V
			V _{CC} = min, I _{OL} = 8 mA		0.5	
I _{IH}	High Level Input Current		V _{CC} = max, V _{IN} = 2.7 V		40	μA
			V _{CC} = max, V _{IN} = 7.0 V		0.2	mA
I _{IL}	Low Level Input Current		V _{CC} = max, V _{IN} = 0.4 V		-0.8	mA
I _O	Output Short Circuit Current		V _{CC} = max, V _O = 0 V (Note 1)	-20	-100	mA
I _{CC}	Supply Current	Total with outputs high	V _{CC} = max		10	mA
		Total with outputs low			15	

Note 1: Not more than one output should be shorted at a time, and duration should not exceed one second.

AC ELECTRICAL CHARACTERISTICS ($T_A=25^\circ\text{C}$, $V_{CC} = 5.0\text{ V}$, $C_L = 15\text{ pF}$, $R_L = 2\text{ k}\Omega$, $t_r=15\text{ ns}$, $t_f = 6.0\text{ ns}$)

Symbol	Parameter	Min	Max	Unit
t_{PLH}	Propagation Delay, Input A or B to Output Y (Other input low)		23	ns
t_{PHL}	Propagation Delay, Input A or B to Output Y (Other input low)		17	ns
t_{PLH}	Propagation Delay, Input A or B to Output Y (Other input high)		30	ns
t_{PHL}	Propagation Delay, Input A or B to Output Y (Other input high)		22	ns

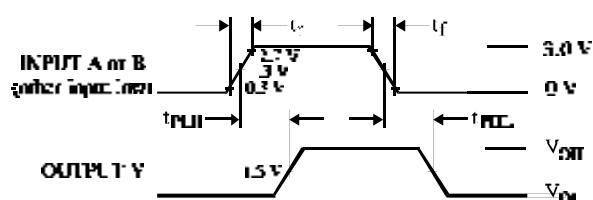


Figure 1. Switching Waveforms

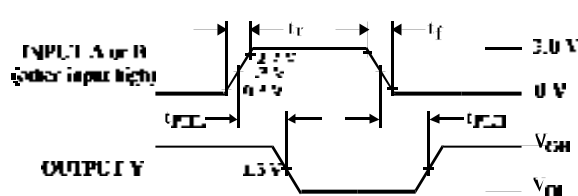
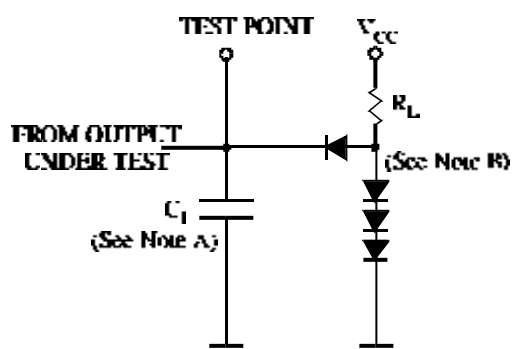


Figure 2. Switching Waveforms



NOTES A. C_L includes probe and jig capacitance.
B. All diodes are 1N916 or 1N3064.

Figure 3. Test Circuit

SN5474, SN54LS74A, SN54S74 SN7474, SN74LS74A, SN74S74 DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

SDLS119 – DECEMBER 1983 – REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

These devices contain two independent D-type positive-edge-triggered flip-flops. A low level at the preset or clear inputs sets or resets the outputs regardless of the levels of the other inputs. When preset and clear are inactive (high), data at the D input meeting the setup time requirements are transferred to the outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level and is not directly related to the rise time of the clock pulse. Following the hold time interval, data at the D input may be changed without affecting the levels at the outputs.

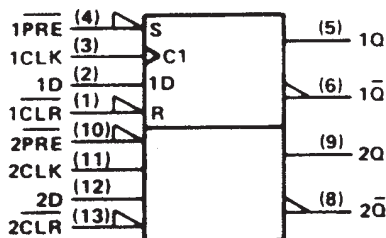
The SN54¹ family is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74¹ family is characterized for operation from 0°C to 70°C .

FUNCTION TABLE

INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H [†]	H [†]
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	$\bar{Q}_0$

[†] The output levels in this configuration are not guaranteed to meet the minimum levels in V_{OH} if the lows at preset and clear are near V_{IL} maximum. Furthermore, this configuration is nonstable; that is, it will not persist when either preset or clear returns to its inactive (high) level.

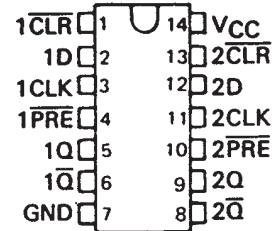
logic symbol[‡]



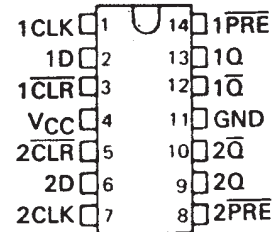
[‡]This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

Pin numbers shown are for D, J, N, and W packages.

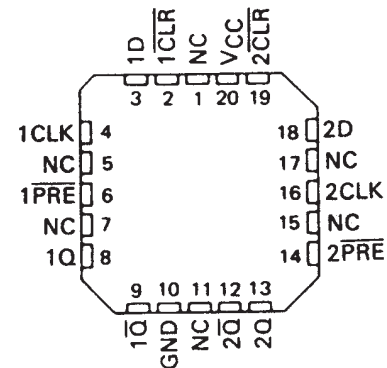
SN5474 . . . J PACKAGE
SN54LS74A, SN54S74 . . . J OR W PACKAGE
SN7474 . . . N PACKAGE
SN74LS74A, SN74S74 . . . D OR N PACKAGE
(TOP VIEW)



SN5474 . . . W PACKAGE
(TOP VIEW)

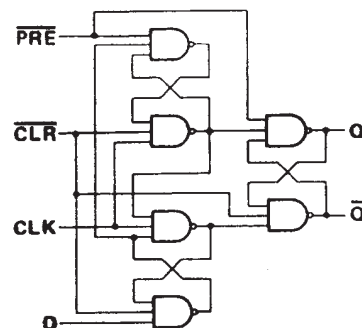


SN54LS74A, SN54S74 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

logic diagram (positive logic)



PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

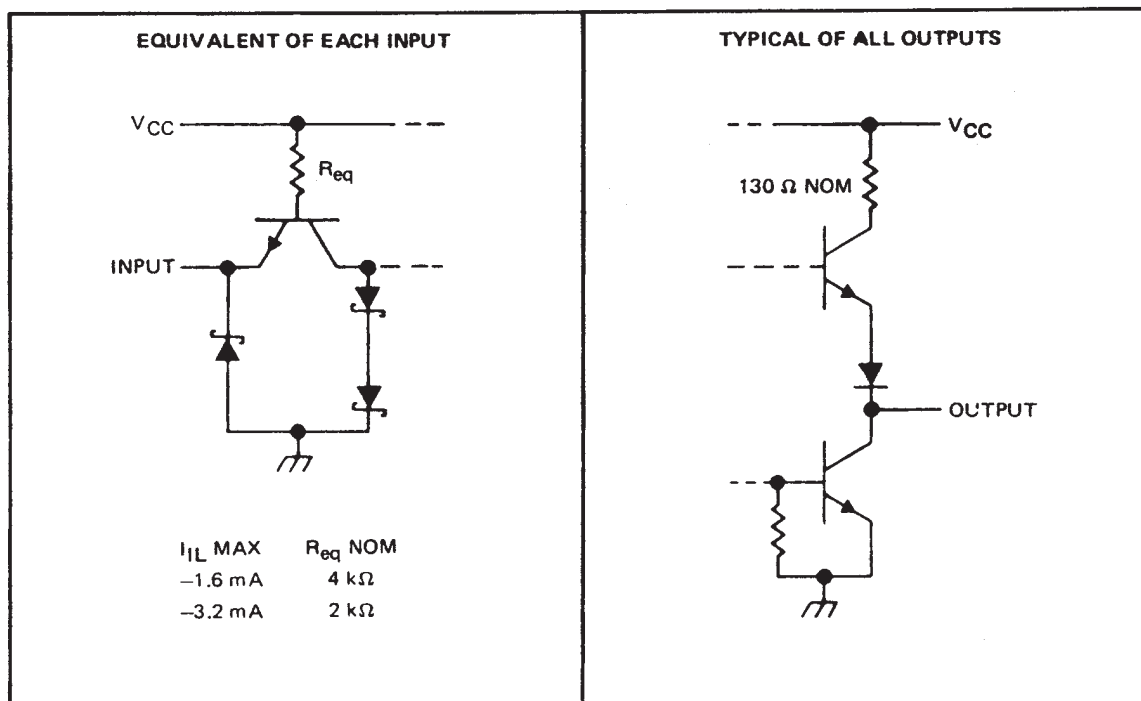
**TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

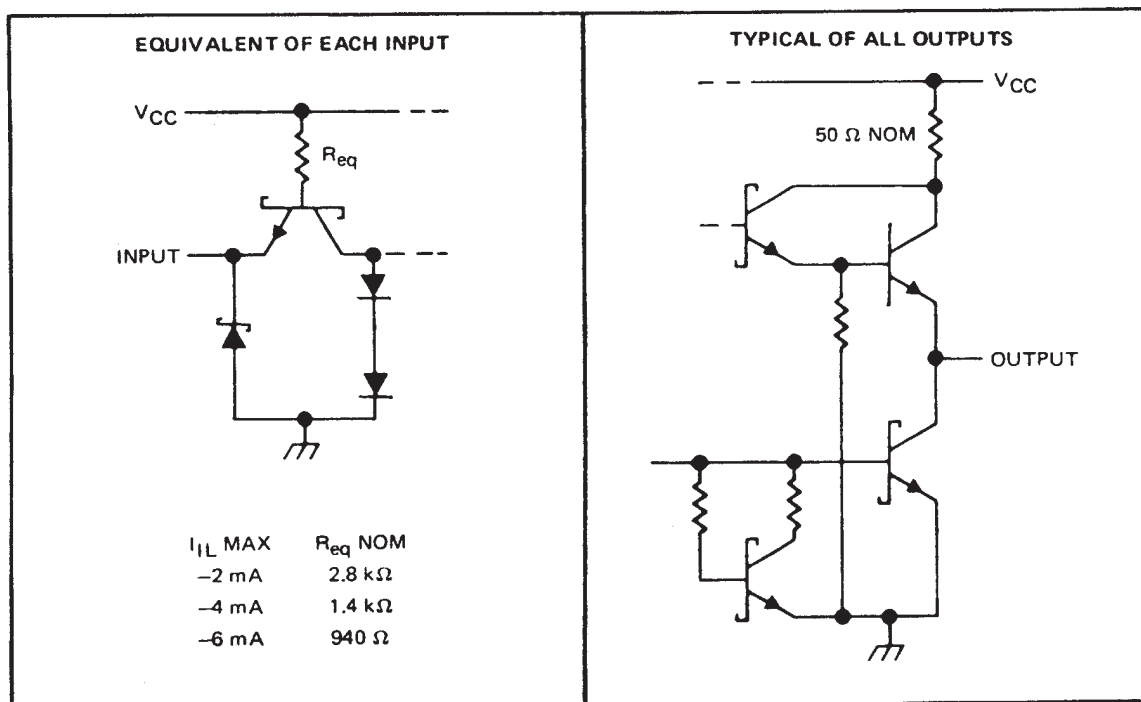
Copyright © 1988, Texas Instruments Incorporated

schematics of inputs and outputs

74



'S74

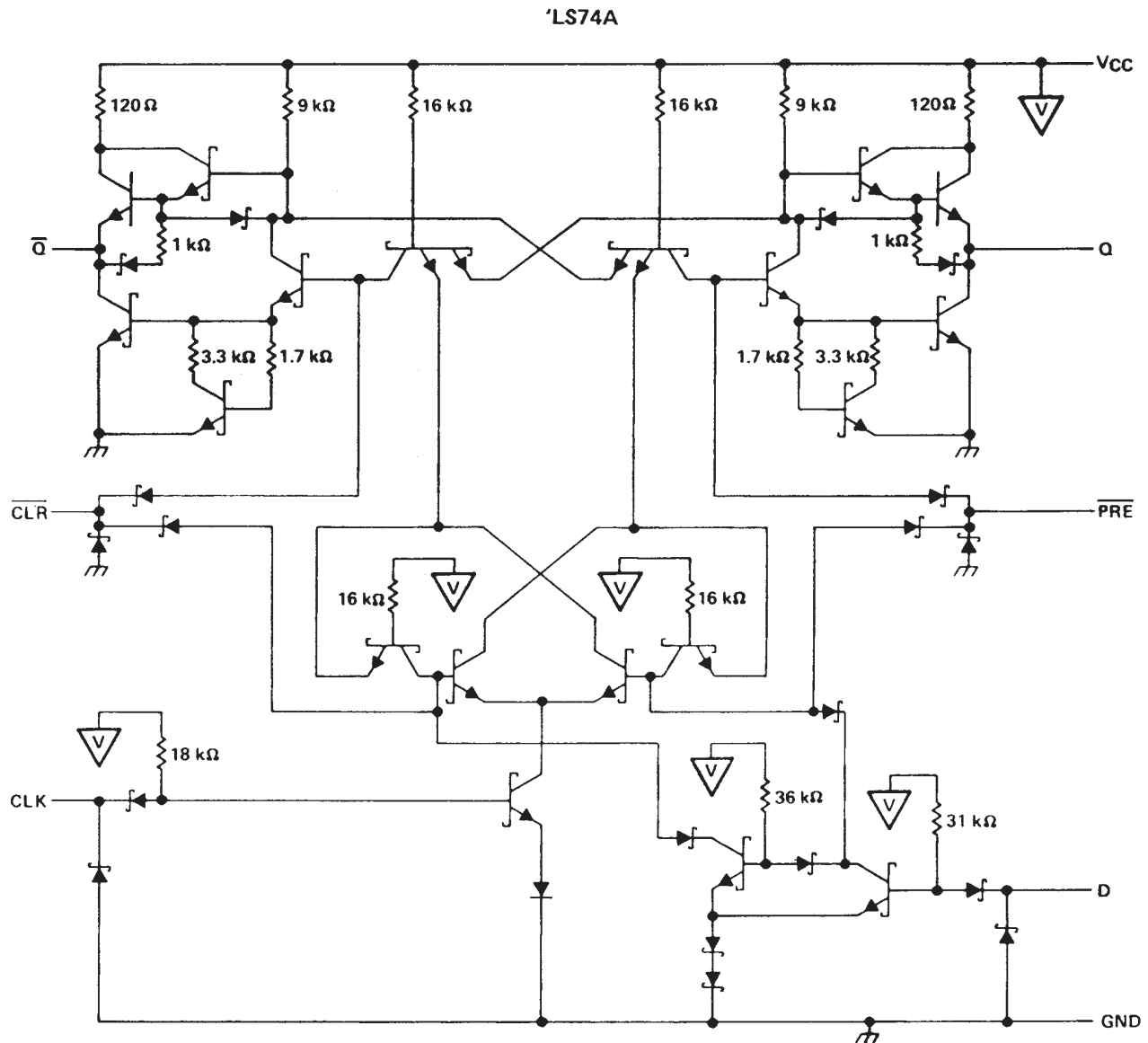


SN5474, SN54LS74A, SN54S74
SN7474, SN74LS74A, SN74S74

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

SDLS119 – DECEMBER 1983 – REVISED MARCH 1988

schematic



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: '74, 'S74	5.5 V
'LS74A	7 V
Operating free-air temperature range: SN54'	–55°C to 125°C
SN74'	0°C to 70°C
Storage temperature range	–65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

SDLS119 – DECEMBER 1983 – REVISED MARCH 1988

recommended operating conditions

		SN5474			SN7474			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage			0.8			0.8	V
I_{OH}	High-level output current			-0.4			-0.4	mA
I_{OL}	Low-level output current			16			16	mA
t_w	Pulse duration	CLK high	30		30			ns
		CLK low	37		37			
		$\overline{PRE}$ or $\overline{CLR}$ low	30		30			
t_{su}	Input setup time before CLK $\uparrow$	20			20			ns
t_h	Input hold time-data after CLK $\uparrow$	5			5			ns
T_A	Operating free-air temperature	-55		125	0		70	$^{\circ}\text{C}$

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS [†]		SN5474			SN7474			UNIT
				MIN	TYP [‡]	MAX	MIN	TYP [‡]	MAX	
V_{IK}		$V_{CC} = \text{MIN}, I_I = -12 \text{ mA}$				-1.5			-1.5	V
V_{OH}		$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OH} = -0.4 \text{ mA}$		2.4	3.4		2.4	3.4		V
V_{OL}		$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OL} = 16 \text{ mA}$			0.2	0.4		0.2	0.4	V
I_I		$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$				1			1	mA
I_{IH}	D	$V_{CC} = \text{MAX}, V_I = 2.4 \text{ V}$				40			40	μA
	$\overline{CLR}$					120			120	
	All Other					80			80	
I_{IL}	D	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$				-1.6			-1.6	mA
	$\overline{PRE}^{\S}$					-1.6			-1.6	
	$\overline{CLR}^{\S}$					-3.2			-3.2	
	CLK					-3.2			-3.2	
$I_{OS}^{\dagger}$		$V_{CC} = \text{MAX}$		-20		-57	-18		-57	mA
$I_{CC}^{\#}$		$V_{CC} = \text{MAX},$ See Note 2			8.5	15		8.5	15	mA

[†]For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.[‡]All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$.[§]Clear is tested with preset high and preset is tested with clear high.[†]Not more than one output should be shown at a time.[#]Average per flip-flop.NOTE 2: With all outputs open, I_{CC} is measured with the Q and $\overline{Q}$ outputs high in turn. At the time of measurement, the clock input is grounded.switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$ (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f _{max}			R _L = 400 Ω, C _L = 15 pF	15	25		MHz
t _{PLH}	PRE or CLR	Q or Q̄				25	ns
t _{PHL}					40	ns	
t _{PLH}	CLK	Q or Q̄			14	25	ns
t _{PHL}						20	40

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

SDLS119 – DECEMBER 1983 – REVISED MARCH 1988

recommended operating conditions

			SN54LS74A			SN74LS74A			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
V _{IH}	High-level input voltage		2			2			V
V _{IL}	Low-level input voltage				0.7			0.8	V
I _{OH}	High-level output current				− 0.4			− 0.4	mA
I _{OL}	Low-level output current				4			8	mA
f _{clock}	Clock frequency		0		25	0		25	MHz
t _w	Pulse duration	CLK high	25			25			ns
		$\overline{\text{PRE}}$ or $\overline{\text{CLR}}$ low	25			25			
t _{su}	Setup time-before CLK ↑	High-level data	20			20			ns
		Low-level data	20			20			
t _h	Hold time-data after CLK ↑		5			5			ns
T _A	Operating free-air temperature		− 55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54LS74A			SN74LS74A			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V _{IK}		V _{CC} = MIN, I _I = − 18 mA				− 1.5			− 1.5	V
V _{OH}		V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = MAX, I _{OH} = − 0.4 mA		2.5	3.4		2.7	3.4		V
V _{OL}		V _{CC} = MIN, V _{IL} = MAX, V _{IH} = 2 V, I _{OL} = 4 mA		0.25	0.4		0.25	0.4		V
		V _{CC} = MIN, V _{IL} = MAX, V _{IH} = 2 V, I _{OL} = 8 mA					0.35	0.5		
I _I	D or CLK	V _{CC} = MAX, V _I = 7 V				0.1			0.1	mA
	CLR or PRE					0.2			0.2	
I _{IH}	D or CLK	V _{CC} = MAX, V _I = 2.7 V				20			20	μA
	CLR or PRE					40			40	
I _{IL}	D or CLK	V _{CC} = MAX, V _I = 0.4 V				− 0.4			− 0.4	mA
	CLR or PRE					− 0.8			− 0.8	
I _{OS} §		V _{CC} = MAX, See Note 4		− 20		− 100	− 20		− 100	mA
I _{CC} (Total)		V _{CC} = MAX, See Note 2			4	8		4	8	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second.

NOTE 2: With all outputs open, I_{CC} is measured with the Q and $\bar{Q}$ outputs high in turn. At the time of measurement, the clock input is grounded.

NOTE 4: For certain devices where state commutation can be caused by shorting an output to ground, an equivalent test may be performed with V_O = 2.25 V and 2.125 V for the 54 family and the 74 family, respectively, with the minimum and maximum limits reduced to one half of their stated values.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f _{max}			R _L = 2 kΩ, C _L = 15 pF	25	33		MHz
t _{PLH}	CLR, PRE or CLK	Q or Q̄			13	25	ns
t _{PHL}					25	40	ns

Note 3: Load circuits and voltage waveforms are shown in Section 1.

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

SDLS119 – DECEMBER 1983 – REVISED MARCH 1988

recommended operating conditions

			SN54S74			SN74S74			UNIT		
			MIN	NOM	MAX	MIN	NOM	MAX			
V _{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V		
V _{IH}	High-level input voltage		2			2			V		
V _{IL}	Low-level input voltage		0.8			0.8			V		
I _{OH}	High-level output current		− 1			− 1			mA		
I _{OL}	Low-level output current		20			20			mA		
t _w	Pulse duration	CLK high	6			6			ns		
		CLK low	7.3			7.3					
		CLR or PRE low	7			7					
t _{su}	Setup time, before CLK ↑	High-level data	3			3			ns		
		Low-level data	3			3					
t _h	Input hold time - data after CLK ↑		2			2			ns		
T _A	Operating free-air temperature		− 55			125			0	70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	SN54S74			SN74S74			UNIT
			MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V _{IK}		V _{CC} = MIN, I _I = – 18 mA,	– 1.2			– 1.2			V
V _{OH}		V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OH} = – 1 mA	2.5	3.4		2.7	3.4		V
V _{OL}		V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OL} = 20 mA	0.5			0.5			V
I _I		V _{CC} = MAX, V _I = 5.5 V	1			1			mA
I _{IH}	D	V _{CC} = MAX, V _I = 2.7 V	50			50			μA
	CLR		150			150			
	PRE or CLK		100			100			
I _{IL}	D	V _{CC} = MAX, V _I = 0.5 V	– 2			– 2			mA
	CLR‡		– 6			– 6			
	PRE‡		– 4			– 4			
	CLK		– 4			– 4			
I _{OS} §		V _{CC} = MAX	– 40		– 100	– 40		– 100	mA
I _{CC} #		V _{CC} = MAX, See Note 2	15	25		15	25		mA

[†]For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.[‡]All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$.^{\S}Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second.[†]Clear is tested with preset high and preset is tested with clear high.^{\#}Average per flip-flop.NOTE 2: With all outputs open, I_{CC} is measured with the Q and $\bar{Q}$ outputs high in turn. At the time of measurement, the clock input is grounded.switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$ (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f _{max}			R _L = 280 Ω, C _L = 15 pF	75	110		MHz
t _{PLH}	PRE or CLR	Q or Q̄			4	6	ns
t _{PHL}	PRE or CLR (CLK high)	Q̄ or Q			9	13.5	ns
	PRE or CLR (CLK low)				5	8	
t _{PLH}	CLK	Q or Q̄			6	9	ns
t _{PHL}					6	9	ns

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
JM38510/00205BCA	OBSOLETE	CDIP	J	14		TBD	Call TI	Call TI
JM38510/00205BDA	OBSOLETE	CFP	W	14		TBD	Call TI	Call TI
JM38510/00205BDA	OBSOLETE	CFP	W	14		TBD	Call TI	Call TI
JM38510/07101BCA	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
JM38510/07101BCA	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
JM38510/07101BDA	ACTIVE	CFP	W	14	1	TBD	Call TI	Level-NC-NC-NC
JM38510/07101BDA	ACTIVE	CFP	W	14	1	TBD	Call TI	Level-NC-NC-NC
JM38510/30102B2A	ACTIVE	LCCC	FK	20	1	TBD	Call TI	Level-NC-NC-NC
JM38510/30102B2A	ACTIVE	LCCC	FK	20	1	TBD	Call TI	Level-NC-NC-NC
JM38510/30102BCA	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
JM38510/30102BCA	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
JM38510/30102BDA	ACTIVE	CFP	W	14	1	TBD	Call TI	Level-NC-NC-NC
JM38510/30102BDA	ACTIVE	CFP	W	14	1	TBD	Call TI	Level-NC-NC-NC
JM38510/30102SCA	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
JM38510/30102SCA	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
JM38510/30102SDA	ACTIVE	CFP	W	14	1	TBD	Call TI	Level-NC-NC-NC
JM38510/30102SDA	ACTIVE	CFP	W	14	1	TBD	Call TI	Level-NC-NC-NC
SN5474J	OBSOLETE	CDIP	J	14		TBD	Call TI	Call TI
SN5474J	OBSOLETE	CDIP	J	14		TBD	Call TI	Call TI
SN54LS74AJ	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
SN54LS74AJ	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
SN54S74J	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
SN54S74J	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
SN7474DR	OBSOLETE	SOIC	D	14		TBD	Call TI	Call TI
SN7474DR	OBSOLETE	SOIC	D	14		TBD	Call TI	Call TI
SN7474N	OBSOLETE	PDIP	N	14		TBD	Call TI	Call TI
SN7474N	OBSOLETE	PDIP	N	14		TBD	Call TI	Call TI
SN7474N3	OBSOLETE	PDIP	N	14		TBD	Call TI	Call TI
SN7474N3	OBSOLETE	PDIP	N	14		TBD	Call TI	Call TI
SN74LS74AD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74AD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74ADBR	ACTIVE	SSOP	DB	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74ADBR	ACTIVE	SSOP	DB	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74ADBRE4	ACTIVE	SSOP	DB	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74ADBRE4	ACTIVE	SSOP	DB	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74ADE4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74ADE4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
no Sb/Br)								
SN74LS74ADR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74ADR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74ADRE4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74ADRE4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74AJ	OBSOLETE	CDIP	J	14		TBD	Call TI	Call TI
SN74LS74AJ	OBSOLETE	CDIP	J	14		TBD	Call TI	Call TI
SN74LS74AN	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74LS74AN	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74LS74AN3	OBSOLETE	PDIP	N	14		TBD	Call TI	Call TI
SN74LS74AN3	OBSOLETE	PDIP	N	14		TBD	Call TI	Call TI
SN74LS74ANE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74LS74ANE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74LS74ANSR	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74ANSR	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74ANSRG4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS74ANSRG4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74S74D	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74S74D	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74S74DE4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74S74DE4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74S74DR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74S74DR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74S74DRE4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74S74DRE4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74S74N	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74S74N	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74S74N3	OBSOLETE	PDIP	N	14		TBD	Call TI	Call TI

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
SN74S74N3	OBSOLETE	PDIP	N	14		TBD	Call TI	Call TI
SN74S74NE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74S74NE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74S74NSR	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74S74NSR	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74S74NSRE4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74S74NSRE4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SNJ5474J	OBSOLETE	CDIP	J	14		TBD	Call TI	Call TI
SNJ5474J	OBSOLETE	CDIP	J	14		TBD	Call TI	Call TI
SNJ5474W	OBSOLETE	CFP	W	14		TBD	Call TI	Call TI
SNJ5474W	OBSOLETE	CFP	W	14		TBD	Call TI	Call TI
SNJ54LS74AFK	ACTIVE	LCCC	FK	20	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS74AFK	ACTIVE	LCCC	FK	20	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS74AJ	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS74AJ	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS74AW	ACTIVE	CFP	W	14	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS74AW	ACTIVE	CFP	W	14	1	TBD	Call TI	Level-NC-NC-NC
SNJ54S74FK	ACTIVE	LCCC	FK	20	1	TBD	Call TI	Level-NC-NC-NC
SNJ54S74FK	ACTIVE	LCCC	FK	20	1	TBD	Call TI	Level-NC-NC-NC
SNJ54S74J	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
SNJ54S74J	ACTIVE	CDIP	J	14	1	TBD	Call TI	Level-NC-NC-NC
SNJ54S74W	ACTIVE	CFP	W	14	1	TBD	Call TI	Level-NC-NC-NC
SNJ54S74W	ACTIVE	CFP	W	14	1	TBD	Call TI	Level-NC-NC-NC

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS) or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

⁽³⁾ MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is

provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

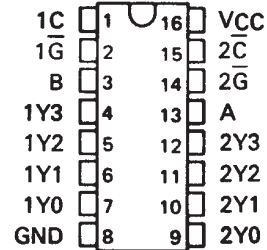
SN54155, SN54156, SN54LS155A, SN54LS156, SN74155, SN74156, SN74LS155A, SN74LS156 DUAL 2-LINE TO 4-LINE DECODERS/DEMULTIPLEXERS

SDLS057 – MARCH 1974 – REVISED MARCH 1988

- **Applications:**
Dual 2-to 4-Line Decoder
Dual 1-to 4-Line Demultiplexer
3-to 8-Line Decoder
1-to 8-Line Demultiplexer
- **Individual Strobes Simplify Cascading for Decoding or Demultiplexing Larger Words**
- **Input Clamping Diodes Simplify System Design**
- **Choice of Outputs:**
Totem Pole ('155, 'LS155A)
Open-Collector ('156, 'LS156)

SN54155, SN54156, SN54LS155A,
SN54LS156 . . . J OR W PACKAGE
SN74155, SN74156 . . . N PACKAGE
SN74LS155A, SN74LS156 . . . D OR N PACKAGE

(TOP VIEW)



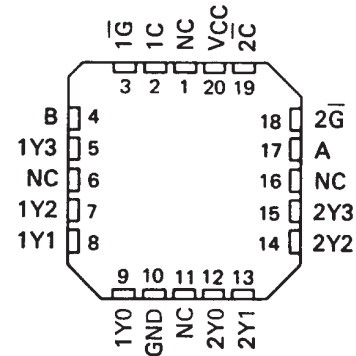
TYPES	TYPICAL AVERAGE PROPAGATION DELAY 3 GATE LEVELS	TYPICAL POWER DISSIPATION
'155, '156	21 ns	125 mW
'LS155A	18 ns	31 mW
'LS156	32 ns	31 mW

description

These monolithic transistor-transistor-logic (TTL) circuits feature dual 1-line-to-4-line demultiplexers with individual strobes and common binary-address inputs in a single 16-pin package. When both sections are enabled by the strobes, the common binary-address inputs sequentially select and route associated input data to the appropriate output of each section. The individual strobes permit activating or inhibiting each of the 4-bit sections as desired. Data applied to input 1C is inverted at its outputs and data applied at 2C is not inverted through its outputs. The inverter following the 1C data input permits use as a 3-to-8-line decoder or 1-to-8-line demultiplexer without external gating. Input clamping diodes are provided on all of these circuits to minimize transmission-line effects and simplify system design.

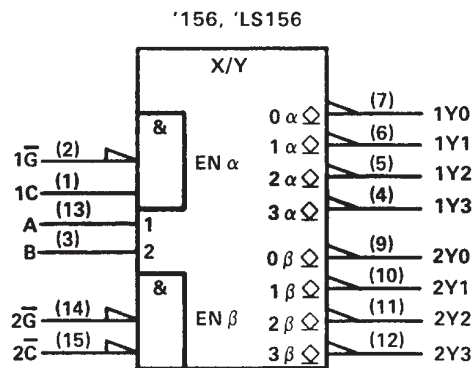
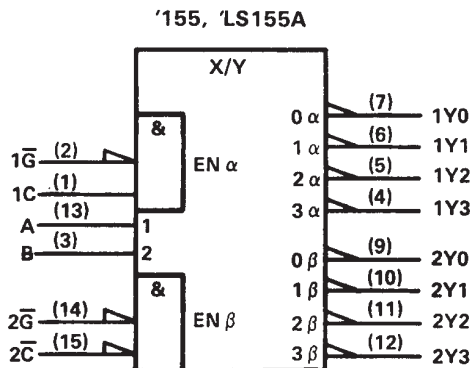
SN54LS155A, SN54LS156 . . . FK PACKAGE

(TOP VIEW)



NC - No internal connection

logic symbols (2-line to 4-line decoder)[†]



[†]These symbols are in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12. For alternative symbols for other applications, see the following page.

Pin numbers shown are for D, J, N, and W packages.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS
INSTRUMENTS**

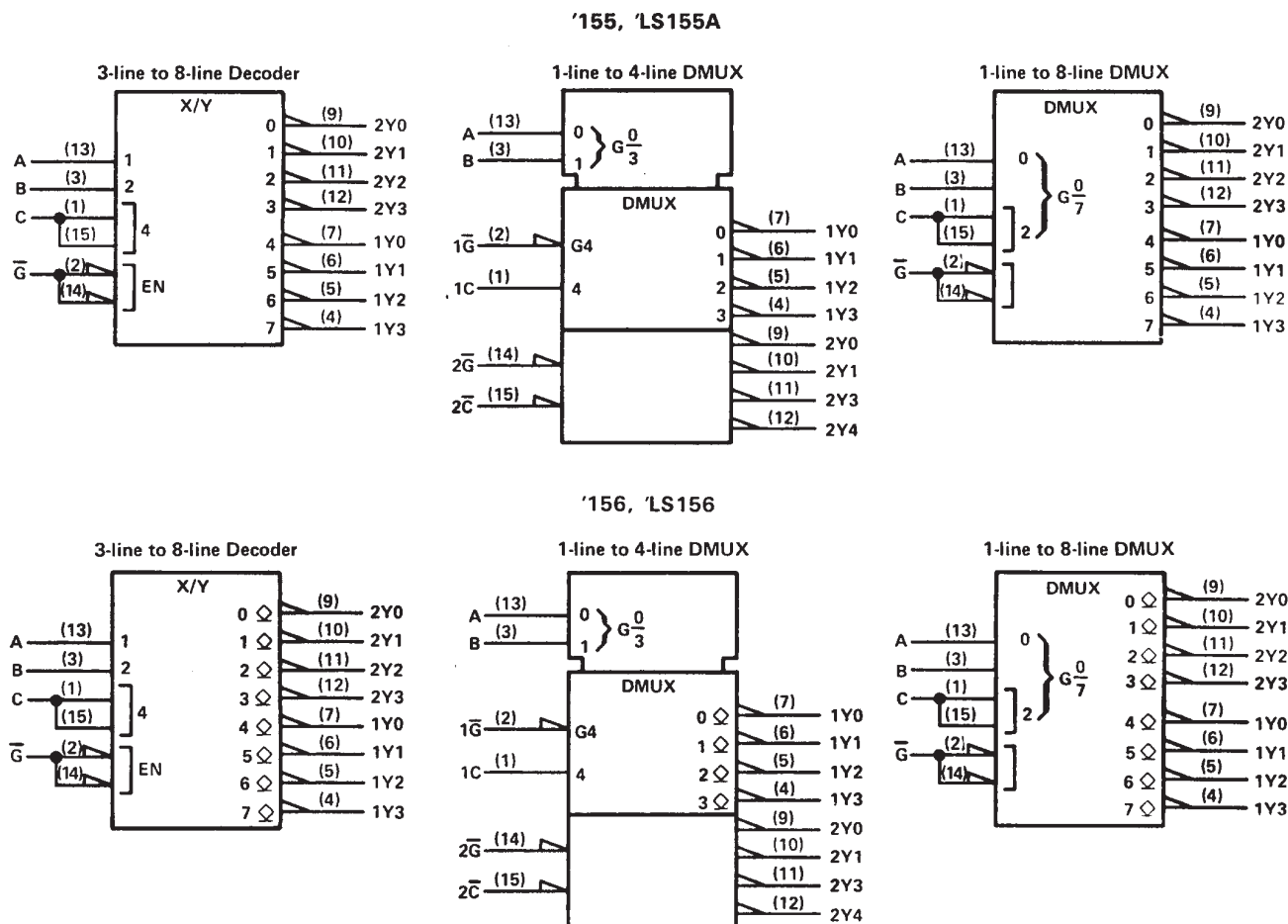
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

SN54155, SN54156, SN54LS155A, SN54LS156, SN74155, SN74156, SN74LS155A, SN74LS156 DUAL 2-LINE TO 4-LINE DECODERS/DEMULTIPLEXERS

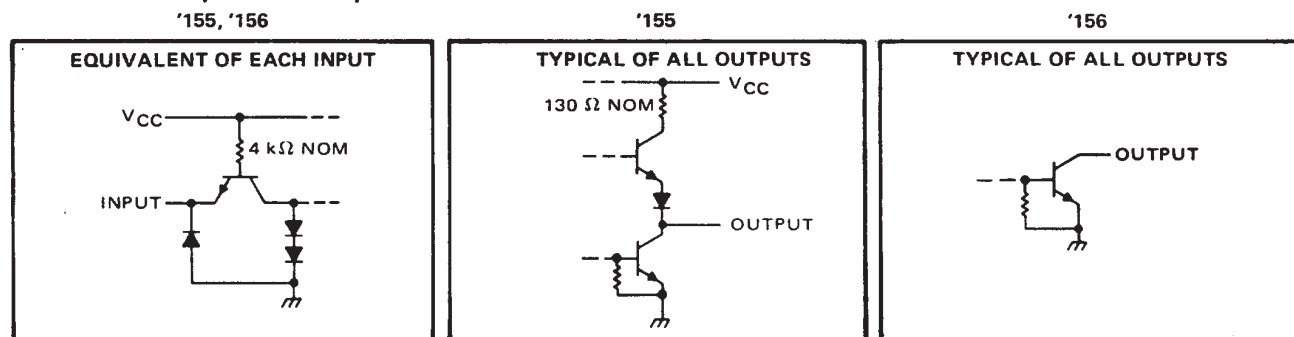
SDLS057 – MARCH 1974 – REVISED MARCH 1988

additional logic symbols (alternatives)[†]



[†]These symbols are in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.

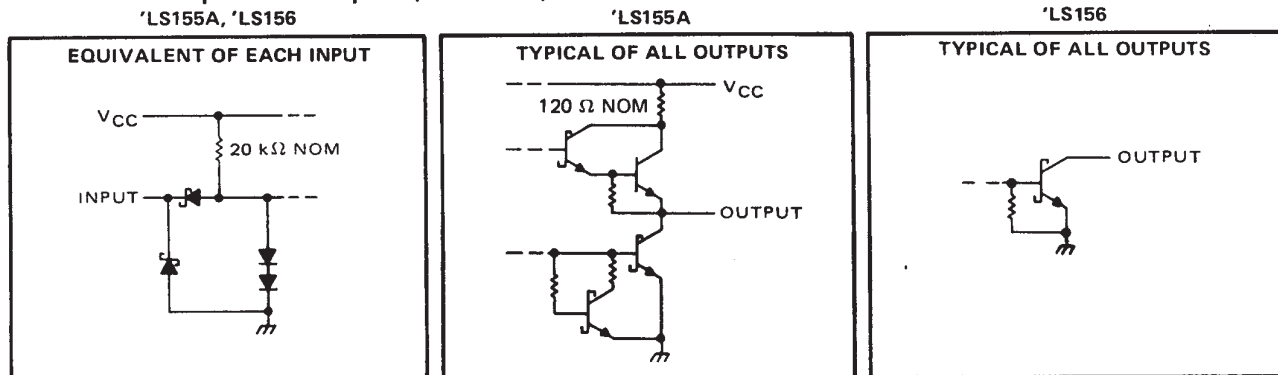
schematics of inputs and outputs



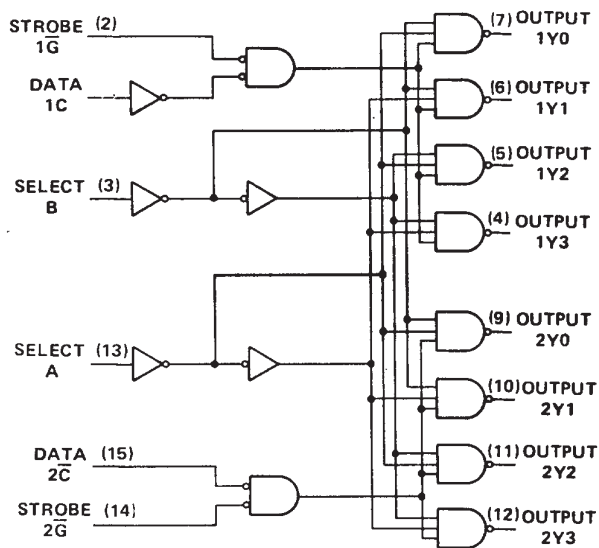
SN54155, SN54156, SN54LS155A, SN54LS156, SN74155, SN74156, SN74LS155A, SN74LS156 DUAL 2-LINE TO 4-LINE DECODERS/DEMULTIPLEXERS

SDLS057 – MARCH 1974 – REVISED MARCH 1988

schematics of inputs and outputs (continued)



logic diagram (positive logic)



FUNCTION TABLES

2-LINE-TO-4-LINE DECODER

OR 1-LINE-TO-4-LINE DEMULTIPLEXER

INPUTS				OUTPUTS			
SELECT	STROBE	DATA		1Y0	1Y1	1Y2	1Y3
B A	1G	1C					
X X	H	X		H	H	H	H
L L	L	H		L	H	H	H
L H	L	H		H	L	H	H
H L	L	H		H	H	L	H
H H	L	H		H	H	H	L
X X	X	L		H	H	H	H

INPUTS				OUTPUTS			
SELECT	STROBE	DATA		2Y0	2Y1	2Y2	2Y3
B A	2G	2C					
X X	H	X		H	H	H	H
L L	L	L		L	H	H	H
L H	L	L		H	L	H	H
H L	L	L		H	H	L	H
H H	L	L		H	H	H	L
X X	X	H		H	H	H	H

FUNCTION TABLE

3-LINE-TO-8-LINE DECODER

OR 1-LINE-TO-8-LINE DEMULTIPLEXER

INPUTS				OUTPUTS							
SELECT	STROBE	OR DATA		(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
C† B A	OR G‡			2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X X X	H			H	H	H	H	H	H	H	H
L L L	L			L	H	H	H	H	H	H	H
L L H	L			H	L	H	H	H	H	H	H
L H L	L			H	H	L	H	H	H	H	H
L H H	L			H	H	H	L	H	H	H	H
H L L	L			H	H	H	H	L	H	H	H
H L H	L			H	H	H	H	H	L	H	H
H H L	L			H	H	H	H	H	H	L	H
H H H	L			H	H	H	H	H	H	H	L

†C = inputs 1C and 2C connected together

‡G = inputs 1G and 2G connected together

H = high level, L = low level, X = irrelevant

**SN54155, SN54156, SN54LS155A, SN54LS156,
SN74155, SN74156, SN74LS155A, SN74LS156
DUAL 2-LINE TO 4-LINE DECODERS/DEMULTIPLEXERS**

SDLS057 – MARCH 1974 – REVISED MARCH 1988

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: '155, '156	5.5 V
'LS155A, 'LS156	7 V
Off-state output voltage: '156	5.5 V
'LS156	7 V
Operating free-air temperature range: SN54', SN54LS' Circuits	–55°C to 125°C
SN74', SN74LS' Circuits	0°C to 70°C
Storage temperature range	–65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54155			SN74155			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			–800			–800	μ A
Low-level output current, I_{OL}			16			16	mA
Operating free-air temperature, T_A	–55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54155 SN74155			UNIT
		MIN	TYP‡	MAX	
V_{IH} High-level input voltage		2			V
V_{IL} Low-level input voltage				0.8	V
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN}, I_I = -8 \text{ mA}$			–1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V},$ $V_{IL} = 0.8 \text{ V}, I_{OH} = -800 \mu\text{A}$	2.4	3.4		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V},$ $V_{IL} = 0.8 \text{ V}, I_{OL} = 16 \text{ mA}$		0.2	0.4	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$			1	mA
I_{IH} High-level input current	$V_{CC} = \text{MAX}, V_I = 2.4 \text{ V}$			40	μ A
I_{IL} Low-level input current	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$			–1.6	mA
I_{OS} Short-circuit output current§	$V_{CC} = \text{MAX}$	SN54155	–20	–55	mA
		SN74155	–18	–57	
I_{CC} Supply current	$V_{CC} = \text{MAX},$ See Note 2	SN54155	25	35	mA
		SN74155	25	40	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$.

§Not more than one output should be shorted at a time.

NOTE 2: I_{CC} is measured with outputs open, A, B, and 1C inputs at 4.5 V, and 2C, 1G, and 2G inputs grounded.

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LEVELS OF LOGIC	TEST CONDITIONS	SN54155 SN74155			UNIT
					MIN	TYP	MAX	
t_{PLH}	A, B, 2C, 1G, or 2G	Y	2	$C_L = 15 \text{ pF},$ $R_L = 400 \Omega,$ See Note 3		13	20	ns
t_{PHL}	A, B, 2C, 1G, or 2G	Y	2			18	27	ns
t_{PLH}	A or B	y	3			21	32	ns
t_{PHL}	A or B	Y	3			21	32	ns
t_{PLH}	1C	Y	3			16	24	ns
t_{PHL}	1C	Y	3			20	30	ns

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54155A, SN74155A

DUAL 2-LINE TO 4-LINE DECODERS/DEMULTIPLEXERS

SDLS057 – MARCH 1974 – REVISED MARCH 1988

recommended operating conditions

	SN54156			SN74156			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output voltage, V_{OH}			5.5			5.5	V
Low-level output current, I_{OL}			16			16	mA
Operating free-air temperature, T_A	–55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54156 SN74156		UNIT
				MIN	TYP‡	
V _{IH}	High-level input voltage			2		V
V _{IL}	Low-level input voltage				0.8	V
V _{IK}	Input clamp voltage	V _{CC} = MIN, I _I = −8 mA			−1.5	V
I _{OH}	High-level output current	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, V _{OH} = 5.5 V			250	μA
V _{OL}	Low-level output voltage	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OL} = 16 mA		0.2	0.4	V
I _I	Input current at maximum input voltage	V _{CC} = MAX, V _I = 5.5 V			1	mA
I _{IH}	High-level input current	V _{CC} = MAX, V _I = 2.4 V			40	μA
I _{IL}	Low-level input current	V _{CC} = MAX, V _I = 0.4 V			−1.6	mA
I _{CC}	Supply current	V _{CC} = MAX,	SN54156	25	35	mA
		See Note 2	SN74156	25	40	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$.

NOTE 2: I_{CC} is measured with outputs open, A, B, and 1C inputs at 4.5 V, and 2C, 1G, and 2G inputs grounded.

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$

PARAMETER§	FROM (INPUT)	TO (OUTPUT)	LEVELS OF LOGIC	TEST CONDITIONS	SN54156 SN74156		UNIT
					MIN	TYP	
t_{PLH}	A, B, $2\overline{C}$, $1\overline{G}$, or $2\overline{G}$	Y	2	$C_L = 15 \text{ pF},$ $R_L = 400 \Omega,$ See Note 3	15	23	ns
t_{PHL}	A, B, $2\overline{C}$, $1\overline{G}$, or $2\overline{G}$	Y	2		20	30	ns
t_{PLH}	A or B	y	3		23	34	ns
t_{PHL}	A or B	Y	3		23	34	ns
t_{PLH}	1C	Y	3		18	27	ns
t_{PHL}	1C	Y	3		22	33	ns

§ t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.



SN54LS155A, SN74LS155A DUAL 2-LINE TO 4-LINE DECODERS/DEMULTIPLEXERS

SDLS057 – MARCH 1974 – REVISED MARCH 1988

recommended operating conditions

	SN54LS155A			SN74LS155A			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			–400			–400	μ A
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	–55		125	0		70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS155A		SN74LS155A		UNIT
		MIN	TYP‡ MAX	MIN	TYP‡ MAX	
V _{IH} High-level input voltage		2		2		V
V _{IL} Low-level input voltage		0.7		0.8		V
V _{IK} Input clamp voltage	V _{CC} = MIN, I _I = −18 mA	−1.5		−1.5		V
V _{OH} High-level output voltage	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = V _{IL max} , I _{OH} = −400 μA	2.5	3.4	2.7	3.4	V
V _{OL} Low-level output voltage	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = V _{IL max}	I _{OL} = 4 mA		0.25	0.4	V
		I _{OL} = 8 mA		0.35 0.5		
I _I Input current at maximum input voltage	V _{CC} = MAX, V _I = 7 V	0.1		0.1		mA
I _{IH} High-level input current	V _{CC} = MAX, V _I = 2.7 V	20		20		μA
I _{IL} Low-level input current	V _{CC} = MAX, V _I = 0.4 V	−0.4		−0.4		mA
I _{OS} Short-circuit output current §	V _{CC} = MAX	− 20	− 100	− 20	− 100	mA
I _{CC} Supply current	V _{CC} = MAX, See Note 2	6.1 10		6.1 10		mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$.

§ Not more than one output should be shorted at a time.

NOTE 2: I_{CC} is measured with outputs open, A, B, and 1C inputs at 4.5 V, and 2C, 1G, and 2G inputs grounded.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$

PARAMETER¶	FROM (INPUT)	TO (OUTPUT)	LEVELS OF LOGIC	TEST CONDITIONS	SN54LS155A SN74LS155A			UNIT
					MIN	TYP	MAX	
t_{PLH}	A, B, $2\bar{C}$, $1\bar{G}$, or $2\bar{G}$	Y	2	$C_L = 15 \text{ pF}$, $R_L = 2 \text{ k}\Omega$, See Note 3	10	15		ns
t_{PHL}	A, B, $2\bar{C}$, $1\bar{G}$, or $2\bar{G}$	Y	2		19	30		ns
t_{PLH}	A or B	Y	3		17	26		ns
t_{PHL}	A or B	Y	3		19	30		ns
t_{PLH}	1C	Y	3		18	27		ns
t_{PHL}	1C	Y	3		18	27		ns

¶ t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54LS156A, SN74LS156A

DUAL 2-LINE TO 4-LINE DECODERS/DEMULTIPLEXERS

SDLS057 – MARCH 1974 – REVISED MARCH 1988

recommended operating conditions

	SN54LS156			SN74LS156			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output voltage, V_{OH}			5.5			5.5	V
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	–55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54LS156		SN74LS156		UNIT	
				MIN	TYP‡	MAX	MIN		TYP‡
V _{IH}	High-level input voltage			2		2		V	
V _{IL}	Low-level input voltage			0.7		0.8		V	
V _{IK}	Input clamp voltage	V _{CC} = MIN,	I _I = −18 mA	−1.5		−1.5		V	
I _{OH}	High-level output current	V _{CC} = MIN,	V _{IH} = 2 V, V _{IL} = V _{IL} max, V _{OH} = 5.5 V	100		100		μA	
V _{OL}	Low-level output voltage	V _{CC} = MIN, V _{IL} = V _{IL} max	V _{IH} = 2 V,	I _{OL} = 4 mA	0.25	0.4	0.25	0.4	V
				I _{OL} = 8 mA			0.35	0.5	
I _I	Input current at maximum input voltage	V _{CC} = MAX,	V _I = 7 V	0.1		0.1		mA	
I _{IH}	High-level input current	V _{CC} = MAX,	V _I = 2.7 V	20		20		μA	
I _{IL}	Low-level input current	V _{CC} = MAX,	V _I = 0.4 V	−0.4		−0.4		mA	
I _{CC}	Supply current	V _{CC} = MAX,	See Note 2	6.1 10		6.1 10		mA	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ \text{C}$.

NOTE 2: I_{CC} is measured with outputs open, A, B, and 1C inputs at 4.5 V, and 2C, 1G, and 2G inputs grounded.

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^\circ \text{C}$

PARAMETER§	FROM (INPUT)	TO (OUTPUT)	LEVELS OF LOGIC	TEST CONDITIONS	SN54LS156 SN74LS156			UNIT
					MIN	TYP	MAX	
t_{PLH}	A, B, 2C 1G, or 2G	Y	2	$C_L = 15 \text{ pF},$ $R_L = 2 \text{ k}\Omega,$ See Note 3		25	40	ns
t_{PHL}	A, B, 2C, 1G, or 2G	Y	2			34	51	ns
t_{PLH}	A or B	Y	3			31	46	ns
t_{PHL}	A or B	Y	3			34	51	ns
t_{PLH}	1C	Y	3			32	48	ns
t_{PHL}	1C	Y	3			32	48	ns

§ t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
5962-9750801Q2A	ACTIVE	LCCC	FK	20	1	TBD	Call TI	Level-NC-NC-NC
5962-9750801QEA	ACTIVE	CDIP	J	16	1	TBD	Call TI	Level-NC-NC-NC
5962-9750801QEA	ACTIVE	CDIP	J	16	1	TBD	Call TI	Level-NC-NC-NC
5962-9750801QFA	ACTIVE	CFP	W	16	1	TBD	Call TI	Level-NC-NC-NC
5962-9750801QFA	ACTIVE	CFP	W	16	1	TBD	Call TI	Level-NC-NC-NC
SN54155J	OBSOLETE	CDIP	J	16		TBD	Call TI	Call TI
SN54155J	OBSOLETE	CDIP	J	16		TBD	Call TI	Call TI
SN54LS155AJ	ACTIVE	CDIP	J	16	1	TBD	Call TI	Level-NC-NC-NC
SN54LS155AJ	ACTIVE	CDIP	J	16	1	TBD	Call TI	Level-NC-NC-NC
SN54LS156J	ACTIVE	CDIP	J	16	1	TBD	Call TI	Level-NC-NC-NC
SN54LS156J	ACTIVE	CDIP	J	16	1	TBD	Call TI	Level-NC-NC-NC
SN74155N	OBSOLETE	PDIP	N	16		TBD	Call TI	Call TI
SN74155N	OBSOLETE	PDIP	N	16		TBD	Call TI	Call TI
SN74155N3	OBSOLETE	PDIP	N	16		TBD	Call TI	Call TI
SN74155N3	OBSOLETE	PDIP	N	16		TBD	Call TI	Call TI
SN74156N	OBSOLETE	PDIP	N	16		TBD	Call TI	Call TI
SN74156N	OBSOLETE	PDIP	N	16		TBD	Call TI	Call TI
SN74LS155AD	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS155AD	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS155ADE4	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS155ADE4	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS155ADR	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS155ADR	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS155ADRE4	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS155ADRE4	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS155AN	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74LS155AN	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74LS155ANE4	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74LS155ANE4	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74LS155ANSR	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS155ANSR	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS155ANSRE4	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
no Sb/Br)								
SN74LS155ANSRE4	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS156D	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS156D	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS156DE4	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS156DE4	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS156DR	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS156DR	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS156DRE4	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS156DRE4	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS156N	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74LS156N	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SN74LS156N3	OBSOLETE	PDIP	N	16		TBD	Call TI	Call TI
SN74LS156N3	OBSOLETE	PDIP	N	16		TBD	Call TI	Call TI
SN74LS156NSR	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS156NSR	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS156NSRE4	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SN74LS156NSRE4	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
SNJ54155J	OBSOLETE	CDIP	J	16		TBD	Call TI	Call TI
SNJ54155J	OBSOLETE	CDIP	J	16		TBD	Call TI	Call TI
SNJ54155W	OBSOLETE	CFP	W	16		TBD	Call TI	Call TI
SNJ54155W	OBSOLETE	CFP	W	16		TBD	Call TI	Call TI
SNJ54LS155AFK	ACTIVE	LCCC	FK	20	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS155AFK	ACTIVE	LCCC	FK	20	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS155AJ	ACTIVE	CDIP	J	16	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS155AJ	ACTIVE	CDIP	J	16	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS155AW	ACTIVE	CFP	W	16	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS155AW	ACTIVE	CFP	W	16	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS156FK	OBSOLETE	LCCC	FK	20		TBD	Call TI	Call TI
SNJ54LS156FK	OBSOLETE	LCCC	FK	20		TBD	Call TI	Call TI
SNJ54LS156J	ACTIVE	CDIP	J	16	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS156J	ACTIVE	CDIP	J	16	1	TBD	Call TI	Level-NC-NC-NC
SNJ54LS156W	ACTIVE	CFP	W	16	1	TBD	Call TI	Level-NC-NC-NC

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
SNJ54LS156W	ACTIVE	CFP	W	16	1	TBD	Call TI	Level-NC-NC-NC

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS) or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

⁽³⁾ MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third-party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Following are URLs where you can obtain information on other Texas Instruments products and application solutions:

Products		Applications	
Amplifiers	amplifier.ti.com	Audio	www.ti.com/audio
Data Converters	dataconverter.ti.com	Automotive	www.ti.com/automotive
DSP	dsp.ti.com	Broadband	www.ti.com/broadband
Interface	interface.ti.com	Digital Control	www.ti.com/digitalcontrol
Logic	logic.ti.com	Military	www.ti.com/military
Power Mgmt	power.ti.com	Optical Networking	www.ti.com/opticalnetwork
Microcontrollers	microcontroller.ti.com	Security	www.ti.com/security
		Telephony	www.ti.com/telephony
		Video & Imaging	www.ti.com/video
		Wireless	www.ti.com/wireless

Mailing Address: Texas Instruments
Post Office Box 655303 Dallas, Texas 75265

Copyright © 2005, Texas Instruments Incorporated